

Docket No.: 49657-586

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of

Yuichi KUNORI

Serial No.: 09/469,497

Group Art Unit: 2824

Filed: December 22, 1999

Examiner:

For: MULTILEVEL STORAGE NONVOLATILE SEMICONDUCTOR MEMORY  
DEVICE ENABLING HIGH-SPEED DATA READING AND HIGH-SPEED  
DATA WRITING



**TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Honorable Commissioner of  
Patents and Trademarks  
Washington, D. C. 20231

Sir:

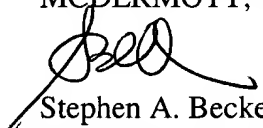
At the time the above application was filed, priority was claimed based on the  
following application:

Japanese Patent Application No. 11-176027, filed June 22, 1999

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:gm  
**Date: March 22, 2000**  
Facsimile: (202) 756-8087

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

1999年 6月22日

出 願 番 号  
Application Number:

平成11年特許願第176027号

出 願 人  
Applicant(s):

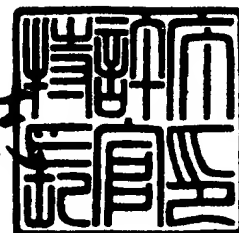
三菱電機株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

1999年 7月 6日

特許庁長官  
Commissioner,  
Patent Office

山 佐 建 夫



出証番号 出証特平11-3047804

【書類名】 特許願

【整理番号】 517262JP01

【提出日】 平成11年 6月22日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 17/00

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

    【氏名】 九ノ里 勇一

【特許出願人】

    【識別番号】 000006013

    【氏名又は名称】 三菱電機株式会社

【代理人】

    【識別番号】 100064746

    【弁理士】

    【氏名又は名称】 深見 久郎

【選任した代理人】

    【識別番号】 100085132

    【弁理士】

    【氏名又は名称】 森田 俊雄

【選任した代理人】

    【識別番号】 100091395

    【弁理士】

    【氏名又は名称】 吉田 博由

【選任した代理人】

    【識別番号】 100091409

    【弁理士】

    【氏名又は名称】 伊藤 英彦

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置

【特許請求の範囲】

【請求項 1】 不揮発性半導体装置であって、

複数のメモリセルが配置されたメモリセルアレイを備え、

前記メモリセルの各々は、 $2^n$ 個 ( $n$  : 自然数) のしきい値レベルに応じて  $n$  ビットの 2 値データを保持する記憶素子を含み、

前記しきい値レベルは、前記  $n$  ビットの 2 値データの集合を

i)  $n$  個のビットポインタ変数  $BP(i)$  ( $i$  : 自然数、 $1 \leq i \leq n$ ) を、任意の順番で並べられた 0 から  $(n-1)$  の  $n$  個の整数とそれぞれ対応させ、

i i) 第 1 のステップでは、前記  $n$  ビットの 2 値データの集合を、第  $BP(1)$  ビットのデータが “0” および “1” のいずれであるかに応じて 2 つデータグループに分けて並べ替え、

i i i) 第  $j$  のステップ ( $j$  : 自然数、 $2 \leq j \leq n$ ) では、第  $(j-1)$  のステップまでで  $2^{j-1}$  個に分けられている前記  $n$  ビットの 2 値データの集合の各グループを、さらに、第  $BP(j)$  ビットのデータが “0” および “1” のいずれであるかに応じて 2 つのデータグループに分けて並べ替える、

という手順に相当する手続きで並べ替えたものとそれぞれ対応し、

アドレス信号に応じて、前記メモリセルアレイから複数の前記メモリセルを一括して選択するセル選択回路と、

前記データグループに対応する前記しきい値レベルのグループ間の境界に相当する  $(2^n - 1)$  個の判定レベルに基づいて、前記選択された複数のメモリセルに対して記憶データの読出／書込動作を行なうデータ読出／書込回路と、

前記不揮発性半導体装置の外部と前記メモリセルとの間で、前記記憶データを 2 値データとして  $k$  ビット ( $k$  : 自然数) ごとに  $k$  個の入出力ノードを介して授受するためのデータ入出力回路とをさらに備え、

各前記メモリセルに保持される記憶データは、それぞれ異なるタイミングで同一の前記入出力ノードを介して授受される  $n$  個のビットデータから生成される、不揮発性半導体記憶装置。

【請求項 2】 前記  $n$  は 2 であって、

$2^2 = 4$  個の前記しきい値レベルは、それぞれ、2 ビットデータの集合の要素の “11”、“10”、“00”、“01” に昇順に対応する、請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】 前記データ読出／書込回路は、

前記記憶素子に保持される前記記憶データの前記第  $BP(1)$  ビットのデータを識別するための前記判定レベルで読み出したデータを保持し、前記データ入出力回路に与えるための第 1 の読出データ保持回路と、

前記第 1 のデータ保持回路が前記入出力回路にデータ出力を行なっている期間中に、前記第  $BP(1)$  ビット以外の第  $BP(j)$  ビットのデータを識別するための前記判定レベルで読み出したデータを保持する第 2 の読出データ保持回路を含む、請求項 1 記載の不揮発性半導体記憶装置。

【請求項 4】 前記データ読出／書込回路は、

前記記憶データの前記第  $BP(1)$  ビットのデータが前記データ入出力回路から出力される期間中から、前記記憶データの前記第  $BP(1)$  ビット以外のビットデータを識別するための前記判定レベルでの読み出し動作を順次行なう読出データ識別回路を含む、請求項 3 記載の不揮発性半導体記憶装置。

【請求項 5】 前記読出データ識別回路は、

前記判定レベルで読み出したデータを保持するセンスラッチ回路を含み、

前記第 1 および第 2 の読出データ保持回路は、前記センスラッチ回路に保持されたデータを転送可能であり、

異なる前記判定レベルで読み出され、前記センスラッチ回路、第 1 および第 2 の読出データ保持回路に保持されるデータに基づいて、前記データ入出力回路に与えるデータ変換する読出データ変換回路をさらに含む、請求項 4 記載の不揮発性半導体記憶装置。

【請求項 6】 前記読出データ識別回路は、前記記憶データの前記第  $BP(1)$  ビットのデータが前記データ入出力回路から出力される期間中で、前記記憶データの前記第  $BP(1)$  ビット以外のビットデータの識別処理を完了する、請求項 4 記載の不揮発性半導体記憶装置。

【請求項 7】 前記メモリセルアレイは、

前記メモリセルの行に属する前記メモリセルにそれぞれ接続される、複数のワード線を含み、

前記セル選択回路は、

前記アドレス信号に応じて、前記ワード線を選択的に活性化し、

前記第 1 および第 2 のデータ保持回路ならびにセンスラッチ回路の各々は、

各ワード線が活性化されるごとに選択されるメモリセルのデータを一括して保持可能である、請求項 5 記載の不揮発性半導体記憶装置。

【請求項 8】 前記セル選択回路が一括して選択するメモリセルの個数は、 $m$  個 ( $m$  : 自然数) であり、

前記データ読出／書込回路は、前記一括して選択される  $m$  個のメモリセルに書込まれるべき、前記データ入出力回路から順次与えられる  $n \times m$  ビットのデータのうち、最初の  $m$  ビットのデータが与えられた時点で、前記第  $BP(1)$  ビットのデータを識別するための前記判定レベルで、前記一括して選択される  $m$  個のメモリセルにデータ書込みを行なう、請求項 1 記載の不揮発性半導体記憶装置。

【請求項 9】 前記データ読出／書込回路は、前記一括して選択される  $m$  個のメモリセルに書込まれるべき、前記データ入出力回路から順次与えられる  $n \times m$  ビットのデータのうち、 $m$  ビット分のデータが与えられるごとに、 $p$  の値 ( $p$  : 自然数) を 1 から 1 ずつ更新して、前記第  $BP(p)$  ビットのデータを識別するための前記判定レベルで、前記一括して選択される  $m$  個のメモリセルにデータ書込みを行なう、請求項 1 記載の不揮発性半導体記憶装置。

【請求項 10】 前記データ読出／書込回路は、

前記  $m$  ビット分のデータをそれぞれ保持するための複数の書込みデータ保持回路と、

前記第  $BP(p)$  ビットのデータを識別するための前記判定レベルで、前記一括して選択される  $m$  個のメモリセルに書込み変換データを保持し、書込みを行なうセンスラッチ回路と、

前記複数のデータ保持回路に保持されるデータ間の演算により、前記書込み変換データを生成するための書込みデータ変換回路とを含む、請求項 9 記載の不揮

発性半導体記憶装置。

【請求項 1 1】 前記記憶素子は、フローティングゲートトランジスタであり、

前記データ読出／書込回路は、前記第 B P ( p ) ビットのデータを識別するための前記判定レベルのうち少なくとも 2 つでの書込みを一括して行なうために、前記一括して選択される m 個のメモリセルのフローティングゲートトランジスタのドレインに複数の電位レベルを選択的に供給する、請求項 1 0 記載の不揮発性半導体記憶装置。

【請求項 1 2】 前記センスラッチ回路は、前記第 B P ( p ) ビットのデータを識別するための前記判定レベルでの書込みを行なう前に、前記第 B P ( p - 1 ) ビットのデータを識別するための前記判定レベルで書込まれたデータを読み、

前記書込みデータ変換回路は、前記センスラッチ回路と前記複数のデータ保持回路とに保持されるデータ間の演算により、前記書込み変換データを生成する、請求項 1 0 記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、不揮発性半導体記憶装置、特に 1 つのメモリセルに 4 値以上の情報 ( 2 ビット分以上の情報 ) を記憶可能な不揮発性半導体記憶装置の構成に関する。より特定的には、たとえば、フラッシュメモリなどの電氣的書換可能な不揮発性半導体記憶装置の構成に関する。

【 0 0 0 2 】

【従来の技術】

フラッシュメモリ等の不揮発性半導体記憶装置の記憶容量の増大に対応するために、1 つのメモリセルにおいて、2 値のデータを超える多値のデータを記憶可能な構成が開発されている。

【 0 0 0 3 】

図 1 1 8 は従来の AND 型フラッシュメモリ 8 0 0 0 の全体的な構成を示す概

略ブロック図である。

【0004】

メモリセルアレイ100は、フローティングゲートとコントロールゲートを備えた多数のメモリセルを有する。図118においては、メモリセルアレイ100は、2つのメモリセルブロック100Rと100Lとに分割されている。

【0005】

メモリセルのコントロールゲートはワード線WLに、メモリセルのドレインはビット線BLに、メモリセルのソースは図示しないソース線SCLに接続される。

【0006】

ワード線WLおよびビット線BLは代表的に、それぞれ1本ずつ示されている。ロウデコーダ110は、外部から与えられるアドレス信号に基づいてワード線を選択的に駆動する。ビット線BLの一端側には、センスラッチ回路120が設けられる。またビット線BLはカラムデコーダ130から出力される選択信号に基づいて選択され、選択されたビット線との間で読出データ、書込みデータの授受が行なわれる。

【0007】

図118において、図示しないが、センスラッチ回路120は、カラムデコーダ130からの選択信号に基づいて、ビット線を選択するためのカラムスイッチ回路を含んでいる。

【0008】

カラムデコーダ130およびロウデコーダ110には、アドレスバッファ140からアドレス信号が供給される。

【0009】

チップコントロール部200は、図示しないアクセス制御信号やクロック信号を外部から受け、これに従ってメモリセルの書込制御や読出制御のために、フラッシュメモリの内部回路を全体的に制御する。消去、書込、読出などの動作モードに応じて、ワード線の電位を駆動するワードドライバ（図示せず）等の動作電圧の切換は、チップコントロール部200が電源発生部150を制御することに

より行なわれる。

【0010】

データラッチ回路DL-LおよびDL-Rは、データの書込み、読出動作において授受されるデータを一時保持するデータバッファである。

【0011】

フラッシュメモリの動作モードは、特に制限されないが、外部からチップコントロール部200に供給されるアクセス制御信号、またはデータバスなどを介して供給されるコマンドデータによって指示され、データの書換（消去および書込）やデータの読出モードを有する。

【0012】

図118に示される従来のAND型4値フラッシュメモリにおいては、1つのメモリセルの情報記憶状態は、消去状態、第1の書込状態、第2の書込状態、第3の書込状態の中から選ばれた1つの状態とされている。全部で4通りの情報記憶状態は、2ビットのデータによって決定される状態に対応する。すなわち、2ビットのデータを1つのメモリセルで記憶することが可能である。

【0013】

そのために、フラッシュメモリ8000は、書込動作時にワード線に印加する書込ベリファイ電圧を相互に異なる3種類設定し、これらを順次切換えて、3回に分けて書込動作を行なう。

【0014】

これら各書込動作において、チップコントロール部200は、書込を行なうメモリセルに接続されたセンスラッチSL（センスラッチ回路120に含まれるセンスラッチSL）に保持される2値（1ビット）の書込データ“0”または“1”（“L”または“H”）の書込み動作を、全上記3回に分けた書込動作の各書込動作ごとに、対応する書込ベリファイ電圧を設定して制御する。このような構成により、後に詳しく説明するように、1つのメモリセルに4値（2ビット）の情報を書込むことが可能となる。

【0015】

また、フラッシュメモリ8000は、読出動作時にワード線の印加するワード

線選択レベルとして電圧を3種類設定し、3回の読出動作でメモリセルから読出される2値（1ビット）のデータをセンスラッチ回路120を介して取込み、3回の読出動作終了後に、チップコントロール部200は、4値（2ビット）の情報に変換する。

#### 【0016】

以下、書込動作および読出動作について概要を述べる。

書込動作においては、書込まれるべき2値（1ビット）のデータ列はデータ入出力端子群10から、アドレス信号はアドレス信号入力端子12からそれぞれアドレスバッファ／データ入出力バッファ140に取り込まれる。

#### 【0017】

チップコントロール回路200は、書込む2値（1ビット）へのデータ列を、上位ビットのデータ列と下位ビットのデータ列（あるいは、奇数ビットのデータ列と、偶数ビットのデータ列）に分離して、メモリセルアレイ100中の非選択のメモリセルに接続されるデータラッチDL-LおよびDL-R（以下非選択選択ラッチと呼ぶ）に信号線20を通してそれぞれ転送し、一時的にラッチさせる。

#### 【0018】

そして、チップコントロール部200は、「書込1（第1の書込状態を得るための書込動作）」、「書込2（第2の書込状態を得るための書込動作）」、「書込3（第3の書込状態を得るための書込動作）」の各動作ごとに、データラッチDL-LおよびDL-Rが保持しているデータを信号線20を通して取込み、それを、「書込1」、「書込2」、「書込3」に応じて、選択されたメモリセルに書込む4値（2ビット）のデータに対応した2値（1ビット）のデータ“0”または“1”に変換する。さらに、チップコントロール部200は、変換したデータを信号線18を通して、選択されたメモリセルに接続されたセンスラッチ回路120中のセンスラッチSLに転送し、この選択されたセンスラッチSLにラッチされた2値データに従って、上記「書込1」、「書込2」、「書込3」の各書込動作が行なわれる。

#### 【0019】

このようにして、上位ビット列、下位ビット列に分けられた2値のデータを、データラッチDL-LおよびDL-Rに一時的に保持させて、ベリファイ電圧の異なる3回の書込動作「書込1」～「書込3」)ごとに、チップコントロール部200が2値(1ビット)への書込データを構成し、ベリファイ電圧がそれぞれ異なる書込動作を行なうことによって、1つのメモリセルに4値(2ビット)の情報を書込むことができる。

#### 【0020】

読出動作では、異なる3種類の電圧が順番に、選択された同一のワード線WLに印加され、各3回の読出動作によって、メモリセルアレイ100中のメモリセルから選択センスラッチに読出される2値(1ビット)の情報“0”または“1”は、それぞれデータラッチDL-LおよびDL-Rに転送されて、一時的に保持される。3回の読出動作によって読出され、データラッチDL-LおよびDL-Rに保持されたデータ列と選択センスラッチにラッチされたデータ列とにおける3種類の2値(1ビット)のデータ“0”または“1”は、信号線18および20を通してチップコントロール回路200に転送される。

#### 【0021】

チップコントロール回路200は、そのようにして転送されたデータに基づいて、4値(2ビット)のデータの上位ビット、下位ビットを合成する。チップコントロール回路200は、合成された上位ビットおよび下位ビットをデータ入出力バッファ140を経由して、データ入出力端子群10から出力させる。

#### 【0022】

以下、上に述べた書込動作、読出動作について、さらに詳細を説明する。

#### 〔従来の4値データの書込動作〕

図119は、従来の2値AND型フラッシュメモリの書込みデータと、メモリセルトランジスタのしきい値との関係を示す図である。書込み動作および読出動作においては、判定レベル $V_{j01}$ を基準として、データの書込みおよび読出が行なわれる。

#### 【0023】

図120は、従来の4値AND型フラッシュメモリ8000の書込みデータと



、メモリセルトランジスタのしきい値との関係を示す図である。書込み動作および読出動作においては、3つの判定レベル $V_{j1}$ 、 $V_{j2}$ 、 $V_{j3}$ を基準として、データの書込みおよび読出が行なわれる。

#### 【0024】

上述のとおり、従来の4値AND型フラッシュメモリ8000は、図119のように、2値AND型フラッシュメモリでは書込後のメモリセルトランジスタのしきい値( $V_{th}$ )を“0”と“1”の2種に分割していたのに対し、図120に示すように書込み後のしきい値を4種に分割するものである。

#### 【0025】

したがって、各々のレベルを判定するのに、3種類の判定値 $V_{j1}$ 、 $V_{j2}$ 、 $V_{j3}$ を必要とする。

#### 【0026】

図121～図126は、書込み動作の第1～第3の処理ステップにおいて、データラッチDL-LおよびDL-RならびにセンスラッチSLに保持されるデータおよび書込み後のメモリセルのしきい値を示す概念図である。

#### 【0027】

図121は、書込み動作の第1の処理ステップにおける各ラッチに保持されるデータを示し、図122は、書込み動作の第1の処理ステップにおけるメモリセルのしきい値を示す。

#### 【0028】

図123は、書込み動作の第2の処理ステップにおける各ラッチに保持されるデータを示し、図124は、書込み動作の第2の処理ステップにおけるメモリセルのしきい値を示す。

#### 【0029】

図125は、書込み動作の第3の処理ステップにおける各ラッチに保持されるデータを示し、図126は、書込み動作の第3の処理ステップにおけるメモリセルのしきい値を示す。

#### 【0030】

まず、書込み動作の開始前に、メモリセルのしきい値を判定レベル $V_{j1}$ 以下

とする処理が行なわれる。

#### 【0031】

次に、図121および122を参照して、書込動作の第1ステップでは、データ入出力端子群10うちの端子I/O0～7から入力された1バイト分のデータDQ0～7のうち、データDQ0～3をデータラッチDL-Rに、データDQ4～7をデータラッチDL-Lに格納する。図121の例では、入力された1バイトのデータは、16進数表示でC9hであるものとする。

#### 【0032】

データは、1セクタ（1ワード線に対応するデータ）すべてについて、端子I/O0～3からの入力データDQ0～3はデータラッチDL-Rに、端子I/O4～7からの入力データDQ4～7はデータラッチDL-Lにそれぞれラッチされる。

#### 【0033】

以下では、データラッチDL-Lに保持されるデータDQ4～7のうちの1つを上位ビットとし、データラッチDL-Rに保持されるデータDQ0～3の1つを下位ビットとする2ビットのデータ、（DQ4、DQ0）、（DQ5、DQ1）、（DQ6、DQ2）、（DQ7、DQ3）をそれぞれ1組のデータとして考えることにする。

#### 【0034】

チップコントロール部200は、まずデータラッチDL-R、DL-Lに含まれる上記のようなデータの組を演算することで、データラッチDL-Lに保持される上位ビットが“0”であって、データラッチDL-Rに保持される下位ビットが“1”となっているデータに対応するセンスラッチSLのビットデータのみを“0”レベルとする。

#### 【0035】

図121に示すとおり、このような演算を行なった後には、センスラッチSLには、上位から“0111”というデータが保持されている。このようにしてセンスラッチSLに保持されたデータに基づいて、センスラッチSLの各ビットにそれぞれ対応するメモリセルMC1～MC4にデータの書込が行なわれる。ここで

、メモリセルMC1～MC4は、同一のワード線WLに接続している。さらに、ベリファイ動作の判定値としては第3番目の判定値Vj3を用いる。

【0036】

このとき、センスラッチ中のデータ“0”に対応するメモリセルに対してデータの書込みが行なわれる。したがって、センスラッチの最上位ビットに対応するメモリセルMC4に対してレベル4のデータ（データ“01”に対応する）の書込みが行なわれる。

【0037】

実際のデータの書込みは、ワード線WLに高電圧を印加することで、FN（フowler・ノルドハイム）トンネル電流を利用して書込まれる。

【0038】

センスラッチSLのビットデータが“1”のビットに対応するビット線BLにはワード線WLから印加される電圧を緩和するために、ワード線電圧以下の電圧が印加される。結果的に、センスラッチに保持されるビットデータが“0”に対応するビット線BLに接続するメモリセルにだけデータの書込みが行なわれる。

【0039】

次に、図123および124を参照して、書込動作の第2ステップでは、データラッチDL-R、DL-Lに保持されたデータの演算を行ない、データラッチDL-Lに保持された上位ビットが“0”であり、データラッチDL-Rに保持された下位ビットが“0”であるデータの組に対応するセンスラッチSLのビットには“0”が書込まれる。ベリファイ動作における判定値をVj2に変えたうえで、データ書込においては、データDQ5およびDQ1に対応するビット線に接続するメモリセルにのみデータの書込みが行なわれる。

【0040】

次に、図125および126を参照して、書込動作の第3ステップでは、データラッチDL-R、DL-Lに保持されたデータの演算を行ない、データラッチDL-Lに保持された上位ビットが“1”であり、データラッチDL-Rに保持された下位ビットが“0”であるデータの組に対応するセンスラッチSLのビットには“0”が書込まれる。ベリファイ動作における判定値をVj1に変えたう

えで、データ書込においては、データDQ6およびDQ2に対応するビット線に接続するメモリセルにのみデータの書込が行なわれる。

【0041】

以上のようにして、書込むデータをすべて入力後、3回の演算と書込処理を経て書込動作が終了する。

【0042】

[従来の4値データの読出動作]

次に、読出動作について説明する。

【0043】

図127～図132は、読出動作の第1～第3の処理ステップにおいて、データラッチDL-LおよびDL-RならびにセンスラッチSLに保持されるデータおよび読出時のメモリセルのしきい値と判定レベルを示す概念図である。

【0044】

図127は、読出動作の第1の処理ステップにおける各ラッチに保持されるデータを示し、図128は、読出動作の第1の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0045】

図129は、読出動作の第2の処理ステップにおける各ラッチに保持されるデータを示し、図130は、読出動作の第2の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0046】

図131は、読出動作の第3の処理ステップにおける各ラッチに保持されるデータを示し、図132は、読出動作の第3の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0047】

まず、図127および128を参照して、読出動作の第1の処理ステップにおいては、第1の判定レベルVj1で読出を行ない、結果をセンスラッチSLに格納する。そのデータをデータラッチDL-Rに転送し、センスラッチSLをクリアする。

## 【0048】

次に、図129および130を参照して、読出動作の第2の処理ステップにおいては、第2の判定レベルVj2で読出を行ない、結果をセンスラッチSLに格納する。そのデータをデータラッチDL-Lに転送し、再びセンスラッチSLをクリアする。

## 【0049】

最後に、図131および132を参照して、読出動作の第3の処理ステップにおいては、第3の判定レベルVj3でデータの読出を行ない、読出結果をセンスラッチSLに格納する。チップコントロール回路200は、そのセンスラッチSLに格納されたデータとデータラッチDL-Rのデータがともに“0”であるビット位置においてのみ、データラッチDL-Rのデータを“1”にする。

## 【0050】

データラッチDL-LからDQ4～7、データラッチDL-RからDQ0～3が順次出力される。

## 【0051】

このように読出動作においても、3回の読出動作のすべてが確定してからデータ出力が行なわれている。

## 【0052】

多値メモリのより詳しい構成については、たとえば、特開平9-297996号公報等にもその一例が開示されている。ただし、読出および書込み動作において、複数回の処理ステップの動作を行なうことが必要となる点は、以上説明した多値メモリの構成と同様である。

## 【0053】

## 【発明が解決しようとする課題】

以上説明したとおり、従来のAND型4値フラッシュメモリ8000では、書込、読出とも通常の2値フラッシュメモリに比べて、複数回の処理ステップの動作を行なうことによる遅延が、チップの読出および書込動作の速度を劣化させている。また、さらに多値化が進むほど、この速度の劣化は深刻になる。

## 【0054】

この発明は、上記のような問題点を解決するためになされたもので、その目的は、1メモリセルに多値データを保持させる場合でも、速度の劣化を抑えることが可能な不揮発性半導体記憶装置を提供することである。

【0055】

【課題を解決するための手段】

請求項1記載の不揮発性半導体装置は、複数のメモリセルが配置されたメモリセルアレイを備え、メモリセルの各々は、 $2^n$ 個（ $n$ ：自然数）のしきい値レベルに応じて $n$ ビットの2値データを保持する記憶素子を含み、しきい値レベルは、 $n$ ビットの2値データの集合を $i$ )  $n$ 個のビットポインタ変数 $BP(i)$ （ $i$ ：自然数、 $1 \leq i \leq n$ ）を、任意の順番で並べられた0から $(n-1)$ の $n$ 個の整数とそれぞれ対応させ、 $i$ ) 第1のステップでは、 $n$ ビットの2値データの集合を、第 $BP(1)$ ビットのデータが“0”および“1”のいずれであるかに応じて2つデータグループに分けて並べ替え、 $i$ ) 第 $j$ のステップ（ $j$ ：自然数、 $2 \leq j \leq n$ ）では、第 $(j-1)$ のステップまでで $2^{j-1}$ 個に分けられている $n$ ビットの2値データの集合の各グループを、さらに、第 $BP(j)$ ビットのデータが“0”および“1”のいずれであるかに応じて2つのデータグループに分けて並べ替える、という手順に相当する手続きで並べ替えたものとそれぞれ対応し、アドレス信号に応じて、メモリセルアレイから複数のメモリセルを一括して選択するセル選択回路と、データグループに対応するしきい値レベルのグループ間の境界に相当する $(2^n - 1)$ 個の判定レベルに基づいて、選択された複数のメモリセルに対して記憶データの読出／書込動作を行なうデータ読出／書込回路と、不揮発性半導体装置の外部とメモリセルとの間で、記憶データを2値データとして $k$ ビット（ $k$ ：自然数）ごとに $k$ 個の入出力ノードを介して授受するためのデータ入出力回路とをさらに備え、各メモリセルに保持される記憶データは、それぞれ異なるタイミングで同一の入出力ノードを介して授受される $n$ 個のビットデータから生成される。

【0056】

請求項2記載の不揮発性半導体記憶装置は、請求項1記載の不揮発性半導体記憶装置の構成に加えて、 $n$ は2であって、 $2^2 = 4$ 個のしきい値レベルは、それ

それ、2ビットデータの集合の要素の“11”、“10”、“00”、“01”に昇順に対応する。

【0057】

請求項3記載の不揮発性半導体記憶装置は、請求項1記載の不揮発性半導体記憶装置の構成に加えて、データ読出／書込回路は、記憶素子に保持される記憶データの第BP(1)ビットのデータを識別するための判定レベルで読み出したデータを保持し、データ入出力回路に与えるための第1の読出データ保持回路と、第1のデータ保持回路が入出力回路にデータ出力を行なっている期間中に、第BP(1)ビット以外の第BP(j)ビットのデータを識別するための判定レベルで読み出したデータを保持する第2の読出データ保持回路を含む。

【0058】

請求項4記載の不揮発性半導体記憶装置は、請求項3記載の不揮発性半導体記憶装置の構成に加えて、データ読出／書込回路は、記憶データの第BP(1)ビットのデータがデータ入出力回路から出力される期間中から、記憶データの第BP(1)ビット以外のビットデータを識別するための判定レベルでの読み出し動作を順次行なう読出データ識別回路を含む。

【0059】

請求項5記載の不揮発性半導体記憶装置は、請求項4記載の不揮発性半導体記憶装置の構成に加えて、読出データ識別回路は、判定レベルで読み出したデータを保持するセンスラッチ回路を含み、第1および第2の読出データ保持回路は、センスラッチ回路に保持されたデータを転送可能であり、異なる判定レベルで読み出され、センスラッチ回路、第1および第2の読出データ保持回路に保持されるデータに基づいて、データ入出力回路に与えるデータ変換する読出データ変換回路をさらに含む。

【0060】

請求項6記載の不揮発性半導体記憶装置は、請求項4記載の不揮発性半導体記憶装置の構成に加えて、読出データ識別回路は、記憶データの第BP(1)ビットのデータがデータ入出力回路から出力される期間中で、記憶データの第BP(1)ビット以外のビットデータの識別処理を完了する。

## 【0061】

請求項7記載の不揮発性半導体記憶装置は、請求項5記載の不揮発性半導体記憶装置の構成に加えて、メモリセルアレイは、メモリセルの行に属するメモリセルにそれぞれ接続される、複数のワード線を含み、セル選択回路は、アドレス信号に応じて、ワード線を選択的に活性化し、第1および第2のデータ保持回路ならびにセンスラッチ回路の各々は、各ワード線が活性化されるごとに選択されるメモリセルのデータを一括して保持可能である。

## 【0062】

請求項8記載の不揮発性半導体記憶装置は、請求項1記載の不揮発性半導体記憶装置の構成に加えて、セル選択回路が一括して選択するメモリセルの個数は、 $m$ 個（ $m$ ：自然数）であり、データ読出／書込回路は、一括して選択される $m$ 個のメモリセルに書込まれるべき、データ入出力回路から順次与えられる $n \times m$ ビットのデータのうち、最初の $m$ ビットのデータが与えられた時点で、第BP（1）ビットのデータを識別するための判定レベルで、一括して選択される $m$ 個のメモリセルにデータ書込みを行なう。

## 【0063】

請求項9記載の不揮発性半導体記憶装置は、請求項1記載の不揮発性半導体記憶装置の構成に加えて、データ読出／書込回路は、一括して選択される $m$ 個のメモリセルに書込まれるべき、データ入出力回路から順次与えられる $n \times m$ ビットのデータのうち、 $m$ ビット分のデータが与えられるごとに、 $p$ の値（ $p$ ：自然数）を1から1つつ更新して、第BP（ $p$ ）ビットのデータを識別するための判定レベルで、一括して選択される $m$ 個のメモリセルにデータ書込みを行なう。

## 【0064】

請求項10記載の不揮発性半導体記憶装置は、請求項9記載の不揮発性半導体記憶装置の構成に加えて、データ読出／書込回路は、 $m$ ビット分のデータをそれぞれ保持するための複数の書込みデータ保持回路と、第BP（ $p$ ）ビットのデータを識別するための判定レベルで、一括して選択される $m$ 個のメモリセルに書込み変換データを保持し、書込みを行なうセンスラッチ回路と、複数のデータ保持回路に保持されるデータ間の演算により、書込み変換データを生成するための書



込みデータ変換回路とを含む。

【0065】

請求項 1 1 記載の不揮発性半導体記憶装置は、請求項 1 0 記載の不揮発性半導体記憶装置の構成に加えて、記憶素子は、フローティングゲートトランジスタであり、データ読出／書込回路は、第 B P (p) ビットのデータを識別するための判定レベルのうち少なくとも 2 つでの書込みを一括して行なうために、一括して選択される m 個のメモリセルのフローティングゲートトランジスタのドレインに複数の電位レベルを選択的に供給する。

【0066】

請求項 1 2 記載の不揮発性半導体記憶装置は、請求項 1 0 記載の不揮発性半導体記憶装置の構成に加えて、センスラッチ回路は、第 B P (p) ビットのデータを識別するための判定レベルでの書込みを行なう前に、第 B P (p - 1) ビットのデータを識別するための判定レベルで書込まれたデータを読出し、書込みデータ変換回路は、センスラッチ回路と複数のデータ保持回路とに保持されるデータ間の演算により、書込み変換データを生成する。

【0067】

【発明の実施の形態】

〔実施の形態 1〕

図 1 は、本発明の実施の形態 1 の不揮発性半導体記憶装置であるフラッシュメモリ 1 0 0 0 の構成を示す概略ブロック図である。

【0068】

メモリセルアレイ 1 0 0 は、フローティングゲートとコントロールゲートを備えた多数のメモリセルを有する。図 1 においても、メモリセルアレイ 1 0 0 は、2 つのメモリセルブロック 1 0 0 R と 1 0 0 L とに分割されている。

【0069】

メモリセルのコントロールゲートはワード線 W L に、メモリセルのドレインはビット線 B L に、メモリセルのソースは図示しないソース線 S C L に接続される。

【0070】

ワード線WLおよびビット線BLは代表的に、それぞれ2本ずつ示されている。

【0071】

ロウデコーダ110は、外部からアドレス信号入力端子群12およびアドレスバッファ146を介して与えられるアドレス信号A0-Akに基づいてワード線を選択的に駆動する。ビット線BLの一端側には、センスラッチ回路120が設けられる。また、ビット線BLはカラムデコーダ130からアドレス信号A0-Akに応じて出力される選択信号に基づいて選択され、選択されたビット線との間で読出データ、書込みデータの授受が行なわれる。

【0072】

図1において、図示しないが、センスラッチ回路120は、カラムデコーダ130からの選択信号に基づいて、ビット線を選択するためのカラムスイッチ回路を含んでいる。

【0073】

チップコントロール部200は、制御信号入力端子群14からコマンドバッファ回路144を介して与えられるアクセス制御信号やクロック信号を外部から受け、これに従ってメモリセルの書込制御や読出制御のために、フラッシュメモリの内部回路を全体的に制御する制御回路210を含む。消去、書込、読出などの動作モードに応じて、ワード線の電位を駆動するワードドライバ（図示せず）等の動作電圧の切換は、制御回路210が電源発生部150を制御することにより行なわれる。

【0074】

データラッチ回路DL-LおよびDL-Rは、データの書込み、読出動作において授受されるデータを一時保持するデータバッファである。

【0075】

チップコントロール部200は、さらに、後に説明するように、制御回路210に制御されて、読出し動作においてデータラッチ回路DL-LおよびDL-Rならびにセンスラッチ回路120に保持されたデータを演算して、読出しデータを生成する読出しデータ変換回路220と、制御回路210に制御されて、書込

み動作においてデータラッチ回路DL-LおよびDL-Rならびにセンスラッチ回路120に保持されたデータを演算して、書込みデータを生成する書込みデータ変換回路230とを含む。

#### 【0076】

フラッシュメモリ1000の動作モードは、特に制限されないが、外部からチップコントロール部200に供給されるアクセス制御信号、またはデータバスなどを介して供給されるコマンドデータによって指示され、データの書換（消去および書込）やデータの読出モードを有する。

#### 【0077】

図1に示されるAND型4値フラッシュメモリ1000においても、1つのメモリセルの情報記憶状態は、消去状態、第1の書込状態、第2の書込状態、第3の書込状態の中から選ばれた1つの状態とされている。

#### 【0078】

そのために、フラッシュメモリ1000も、書込動作時にワード線に印加する書込ベリファイ電圧を相互に異なる3種類設定し、これらを順次切換えて、3回に分けて書込処理を行なう。ただし、後に説明するように、上記4つの情報記憶状態に対応する2ビットデータの配列と、これら3回の書込処理の順序とを工夫することにより、書込み時間および読出し時間の短縮を可能とする。

#### 【0079】

これら各書込動作において、制御回路210は、書込みデータ変換回路230を制御して、データラッチDL-LおよびDL-Rに保持された書込みデータに基づいて、各書込み動作において、センスラッチSL（センスラッチ回路120に含まれるセンスラッチSL）に保持させるべき2値（1ビット）のラッチデータ“0”または“1”（“L”または“H”）の演算を行わせる。制御回路210は、上記3回に分けた書込動作の各書込動作ごとに、対応する書込ベリファイ電圧を設定して書込み動作を制御する。

#### 【0080】

ここで、従来のフラッシュメモリ8000の構成では、データラッチ回路DL-LおよびDL-Rにそれぞれ保持されるのは、同一のタイミングでデータ入出

力端子群 10 に与えられたデータ列を分割した 2 つのデータ列であった。

#### 【0081】

これに対して、本願のフラッシュメモリ 1000 では、従来のフラッシュメモリ 8000 の構成と異なり、データラッチ回路 DL-L および DL-R にそれぞれ保持されるのは、後に説明するように、異なったタイミングでデータ入出力端子群 10 に与えられ、同一のワード線に結合する同一のメモリセル群に与えられる 2 組のデータ列、または同一のワード線に結合するが異なったビット線と結合するメモリセル群に与えられる 2 組のデータ列である。このような構成により、1 つのメモリセルに 4 値（2 ビット）の情報を書込むことが可能となる。

#### 【0082】

また、フラッシュメモリ 1000 も、読出動作時にワード線の印加するワード線選択レベルとして電圧を 3 種類設定し、3 回の読出動作でメモリセルから読出される 2 値（1 ビット）のデータをセンスラッチ回路 120 を介してデータラッチ回路 DL-L および DL-R に取り込む。3 回の読出動作中に順次、読出しデータ変換回路 220 は、これらラッチ回路に保持されたデータを 4 値（2 ビット）の情報に変換し、制御回路 210 はデータ入出力端子群 10 から出力させる。

#### 【0083】

以下、上に述べた書込動作、読出動作について、さらに詳細を説明する。

#### 〔4 値データの読出動作〕

実施の形態 1 におけるフラッシュメモリ 1000 では、上述のとおり、入出力データのデータラッチ DL-L および DL-R の格納方法が従来のフラッシュメモリ 8000 とは異なる。

#### 【0084】

1 つのメモリセルに格納されるデータは、従来の多値フラッシュメモリ 8000 では、同じタイミングでデータ入出力端子群 10 から入力された 1 バイトのデータのうち、データ DQ0 と DQ4、データ DQ1 と DQ5 のように、同一バイト内のデータで構成されている。本発明の 4 値フラッシュメモリ 1000 では、1 つのメモリセルに格納されるデータは、従来の 2 値フラッシュメモリと異なり、異なるワード線の同じ Y アドレスであって、かつ同じ I/O のビットに対応し

ていたデータか、あるいは同一セクタ（同一ワード線）のYアドレスがどこか異なっていた同一I/Oのデータ（同一セクタの異なるYアドレスの同一I/Oに対応するデータ）に相当するデータである。

## 【0085】

図2～7は、本発明の実施の形態1の動作説明図であり、読出動作の第1～第3の処理ステップにおいて、データラッチDL-LおよびDL-RならびにセンスラッチSLに保持されるデータおよび読出時のメモリセルのしきい値と判定レベルを示す概念図である。

## 【0086】

図2は、読出動作の第1の処理ステップにおける各ラッチに保持されるデータを示し、図3は、読出動作の第1の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

## 【0087】

図4は、読出動作の第2の処理ステップにおける各ラッチに保持されるデータを示し、図5は、読出動作の第2の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

## 【0088】

図6は、読出動作の第3の処理ステップにおける各ラッチに保持されるデータを示し、図7は、読出動作の第3の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

## 【0089】

まず、図2および図3を参照して、読出動作の第1の処理ステップにおいては、同一のワード線に接続された複数メモリセル、たとえば、1kByte分のメモリセルから、第2の判定レベル $V_{j2}$ で一括して読出を行ない、その結果をセンスラッチ回路120に格納する。

## 【0090】

図2では、センスラッチ回路120中において、1セクタ分の読出動作で、最初にデータ入出力端子群10から出力される1バイト分のデータを保持するセンスラッチSLと、これに対応するデータラッチDL-LおよびDL-Rを抜き出

して示す。1セクタ分の読出動作で、この1バイト分のデータに続いてデータ入出力端子群10から読み出されるデータについても、以下に説明するのと同様の処理が並行して行なわれている。

#### 【0091】

このデータ入出力端子群10から最初に出力される1バイト分のデータを含むデータ列を保持するメモリセル列MC0～MC7には、それぞれデータ“11”，“01”，“00”，“10”，“01”，“00”，“10”，“11”が保持されているものとする。したがって、図2において、センスラッチ回路120の1バイト分の領域に保持されるデータは、16進数表示で、C9hである。

#### 【0092】

第2の判定レベルVj2で一括して読出されたデータは、センスラッチSLからデータラッチDL-Lに格納される。この時点で、制御回路210の制御により、データラッチDL-Lに格納されたデータが、順次1バイトずつデータ入出力端子群10から出力される。この時点でデータラッチ回路DL-Lに格納されているデータは、従来の2値フラッシュメモリの読出動作における1セクタ分のデータの半分に相当する。

#### 【0093】

このように、読出動作の第1の処理ステップにおいて、第2の判定レベルVj2で読出動作をまず行なうのは、図3に示すとおり、このレベルで読出すことにより、メモリセル内の4種のデータが、“0”または“1”のうちのいずれであるかが確定するからである。すなわち、メモリセルMC0～MC7に格納されるデータの上位のビットの0または1が確定することになる。

#### 【0094】

次に、図4および図5を参照して、読出動作の第2の処理ステップにおいては、第1の処理ステップでセンスラッチSLからデータラッチDL-Lにデータを格納し、センスラッチSLがクリアされた時点で、第1の判定レベルVj1で読出動作を行ない、読み出されたデータをセンスラッチ回路120に格納する。つまり、データラッチ回路DL-Lからはデータ出力を行なっている途中で、センスラッチSLからデータラッチDL-Rにデータ転送を行なう。データラッチD

L-Rへのデータ転送後、センスラッチ回路120はクリアされる。

【0095】

次に、図6および図7を参照して、読出動作の第3の処理ステップにおいては、第3の判定レベルVj3で読出動作を行ない、センスラッチ回路120にデータを格納する。読出データ変換回路220は、センスラッチSLに保持されるデータとデータラッチDL-Rに保持されるデータとの間で演算を行ない、ともに“0”のビットデータのところだけ、データラッチDL-Rのビットデータを“1”に変更する。

【0096】

データラッチDL-Lのデータ出力が終了した後、制御回路210は、データラッチDL-Rからデータ入出力端子群10へデータ出力を開始する。

【0097】

従来の4値フラッシュメモリ8000では、セクタサイズは、たとえば、2KByteであって、1Byte当り50nsで出力動作を行なっている。したがって、セクタの半分である1KByteを出力するのに50μsだけの時間が必要となっている。

【0098】

また、従来の4値フラッシュメモリ8000でも、つまり3回読出動作を行なった後にはじめてデータ出力を開始する場合でも、出力直前までの時間（ファーストアクセス時間と呼ぶ）は50μsで完了するため、本願発明の4値フラッシュメモリ1000において、1/2セクタ分のデータを出力している間に、上記第1の判定レベルから第3の判定レベルまでのアクセス動作を完了させることは可能である。

【0099】

したがって、4値フラッシュメモリ1000では、読出コマンドの入力後、データが出力されるようになるまでには、第2の判定レベルVj2の判定結果が出るまでの時間だけ経過すればよい。これは、2値の読出時間と同等であるため、メモリセルに記憶されるデータが4値化されたことによる速度の劣化が生じないことを意味する。

## 【0100】

もしも、出力速度が非常に速く（またはファーストアクセス時間が非常に長く）データラッチDL-Rのデータが確定する前に、データラッチDL-Lの出力が終了する場合には、データラッチDL-LとデータラッチDL-Rからのデータ出力の間に待ち時間が生じることになる。しかしながら、この場合でも、データ値DL-Lの出力時間分だけ従来のデータ読出動作よりも読出速度が改善されることになる。

## 【0101】

ただし、通常は、このような待ち時間が生じないようにセクタサイズを調整する。つまり、読出時間（ファーストアクセス時間）でセクタサイズ（1ワード線に接続されるメモリセルから出力されるデータ量）を決めればよいことになる。

## 【0102】

このような条件を満たすためには、セクタサイズは以下の式を満足する必要がある。

$$\{\text{セクタサイズ (Byte)} \times (1 \text{ Byte 当りの出力時間}) \times 1/2\} \geq \{1 \text{ 回の読出時間} \times 2\} \quad \dots (1)$$

図8は、実施の形態1のフラッシュメモリ1000の読出動作を説明するためのタイミングチャートである。

## 【0103】

図8を参照して、時刻t1において、まず、第2の判定レベルVj2での読出動作が行なわれ、センスラッチ回路120に格納される。

## 【0104】

続いて、時刻t2において、センスラッチ回路120に保持されたデータは、データラッチDL-Lに転送され、センスラッチ回路120はクリアされる。

## 【0105】

時刻t3において、第1の判定レベルVj1に基づく読出動作が開始される。一方、時刻t4において、制御回路210の制御により、データラッチDL-Lに保持されている1/2セクタ分のデータの出力が開始される。

## 【0106】



時刻  $t_5$  において、第 1 の判定レベル  $V_{j1}$  に基づいて読み出され、センスラッチ回路 120 に保持されているデータが、データラッチ DL-R に格納される。一方、センスラッチ回路 120 は、クリアされる。

【0107】

時刻  $t_6$  において、第 3 の判定レベル  $V_{j3}$  に基づく読出動作が開始され、センスラッチ回路 120 に読出データが格納される。

【0108】

第 3 の判定レベル  $V_{j3}$  に基づく読出動作の完了後、時刻  $t_7$  において、制御回路 210 により制御されて、読出データ変換回路 220 は、センスラッチ回路 120 に保持されたデータと、データラッチ回路 DL-R に保持されたデータとの間で演算を行ない、ともに“0”のビットデータのところだけ、データラッチ DL-R に保持されるビットデータを“1”に変更する。

【0109】

時刻  $t_9$  において、データラッチ回路 DL-R に保持されている残り 1/2 セクタ分のデータの出力が開始される。時刻  $t_{10}$  において、1 セクタ分のデータ出力が完了する。

【0110】

以上説明したとおり、時刻  $t_1$  において読み出されたデータ列の出力が行なわれている期間中に、このデータ列に続いて出力されるべきデータ列の読出動作が完了しているために、4 値メモリセルからの読出データを出力する際の遅延時間を削減することが可能である。

【0111】

〔実施の形態 1 の変形例 1〕

実施の形態 1 では、図 2 および 3 で示される処理を行なった後、データラッチ DL-L に保持されたデータを出力中に、図 4 および 5 で示される処理と、図 6 および 7 で示される処理を行なう構成であった。しかしながら、本願発明は、必ずしも、このような処理の順番に制限されるわけではなく、たとえば、図 4 および 5 で示される処理と、図 6 および 7 で示される処理を行なった後に、言いかえると、第 1 の判定レベル  $V_{j1}$  で読出を行ない、読出結果をデータラッチ DL-

Rに格納し、続いて、第3の判定レベル $V_j3$ で読出を行ない、センスラッチSLに格納されたデータと、データラッチDL-Rに格納されたデータとの間で演算を行なった後にデータラッチDL-Rからのデータ出力を行なっている間に、図2および3で示される処理を行なう構成としてもよい。この場合、データラッチDL-Rからのデータ出力が終了後に、第2の判定レベルで読み出され、データラッチDL-Lに格納されているデータの出力が開始されることになる。

#### 【0112】

実施の形態1に比べて、読出動作時間の短縮効果は小さいものの、従来の4値フラッシュメモリ8000よりも、短い時間でデータ読出を行なうことが可能である。

#### 【0113】

もちろん、上記のように第1～第3の読出処理を連続して行なう必要も必ずしもなく、メモリセルMC0～MC7に保持されているデータを、上位ビット、または下位ビットの1ビットずつ読み出す構成とすることも可能である。

#### 【0114】

##### 〔実施の形態1の変形例2〕

上述のとおり、実施の形態1では、読出動作の第1の処理ステップにおいては、第2の判定レベル $V_j2$ で読出動作をまず行なうことにより、メモリセル内の4種のデータが、“0”または“1”のうちのいずれであるかが確定するように、書込みレベルと書込みデータを対応付けていた。

#### 【0115】

図9～図12は、逆に、このように1回の読出処理では、上位ビットおよび下位ビットのいずれも確定できないような書込みレベルと書込みデータを対応付けの例をそれぞれ示す。また、これら、図9～図12のそれぞれの場合において、“0”と“1”とを置換したデータの配列としたときも、1回の読出処理では、上位ビットおよび下位ビットのいずれも確定できない。

#### 【0116】

これに対して、実施の形態1の変形例2の読出動作では、実施の形態1と同様

に読出時間の削減が可能な書込みデータと書込みレベルの別の対応関係の例を与える。

#### 【0117】

図13は、実施の形態1の変形例2の読出動作の第2の処理ステップにおける各ラッチに保持されるデータを示し、図14は、実施の形態1の変形例2の読出動作の第2の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

#### 【0118】

つまり、図14に示すように、図3に示したデータ配置において、データ“0”とデータ“01”とを入れ換えたデータ配置においても、実施の形態1と同様の処理で、読出時間を短縮することが可能である。

#### 【0119】

この場合、まず、読出動作の第1の処理ステップにおいては、同一のワード線に接続された複数メモリセルから、第2の判定レベル $V_{j2}$ で一括して読出を行ない、その結果をセンスラッチ回路120に格納する。

#### 【0120】

このデータ入出力端子群10から最初に出力される1バイト分のデータを含むデータ列を保持するメモリセル列MC0～MC7には、それぞれデータ“11”，“01”，“00”，“10”，“01”，“00”，“10”，“11”が保持されているものとする。したがって、データラッチ回路DL-Lの1バイト分の領域に保持されるデータは、16進数表示で、C9hである。

#### 【0121】

第2の判定レベル $V_{j2}$ で一括して読出されたデータは、センスラッチSLからデータラッチDL-LおよびDL-Rの双方に格納される。この時点で、制御回路210の制御により、データラッチDL-Lに格納されたデータが、順次1バイトずつデータ入出力端子群10から出力される。この時点でデータラッチ回路DL-LおよびDL-Rに格納されているデータは、従来の2値フラッシュメモリの読出動作における1セクタ分のデータの半分に相当する。

#### 【0122】

このように、実施の形態1の変形例2の読出動作の第1の処理ステップにおい

ても、第2の判定レベルV<sub>j</sub>2で読出動作をまず行なうことにより、メモリセル内の4種のデータの上位ビットが、“0”または“1”のうちのいずれであるかが確定する。

#### 【0123】

次に、図13および図14を参照して、読出動作の第2の処理ステップにおいては、第1の処理ステップでセンスラッチSLからデータラッチDL-LおよびDL-Rにデータを格納し、センスラッチSLがクリアされた時点で、第1の判定レベルV<sub>j</sub>1で読出動作を行ない、読み出されたデータをセンスラッチ回路120に格納する。データラッチDL-Lからのデータ出力が行なわれている間に、読出データ変換回路220は、センスラッチSLに保持されるデータとデータラッチDL-Rに保持されるデータとの間で演算を行ない、センスラッチSLのビットデータが“0”であり、かつ、データラッチDL-Rの対応するビットデータが“1”となっている場合は、データラッチDL-Rの上記対応するビットデータを“0”とし、それ以外の場合は、データラッチDL-Rのビットデータを“1”に変更する。データラッチDL-Rのデータ変更後、センスラッチ回路120はクリアされる。

#### 【0124】

次に、読出動作の第3の処理ステップにおいては、第3の判定レベルV<sub>j</sub>3で読出動作を行ない、センスラッチ回路120にデータを格納する。読出データ変換回路220は、センスラッチSLに保持されるデータとデータラッチDL-Rに保持されるデータとの間で演算を行ない、ともに“0”のビットデータのところだけ、データラッチDL-Rのビットデータを“1”に変更する。

#### 【0125】

データラッチDL-Lのデータ出力が終了した後、制御回路210は、データラッチDL-Rからデータ入出力端子群10へデータ出力を開始する。

#### 【0126】

図15は、実施の形態1の変形例2のフラッシュメモリの読出動作を説明するためのタイミングチャートである。

#### 【0127】

図 15 を参照して、時刻  $t_1$  において、まず、第 2 の判定レベル  $V_{j2}$  での読出動作が行なわれ、センスラッチ回路 120 に格納される。

【0128】

続いて、時刻  $t_2$  において、センスラッチ回路 120 に保持されたデータは、データラッチ DL-L および DL-R に転送され、センスラッチ回路 120 はクリアされる。

【0129】

時刻  $t_3$  において、第 1 の判定レベル  $V_{j1}$  に基づく読出動作が開始される。一方、時刻  $t_4$  において、制御回路 210 の制御により、データラッチ DL-L に保持されている 1/2 セクタ分のデータの出力が開始される。

【0130】

時刻  $t_5$  において、読出データ変換回路 220 は、センスラッチ SL に保持されるデータとデータラッチ DL-R に保持されるデータとの間で演算を開始し、時刻  $t_6$  から、センスラッチ SL のビットデータが“0”であり、かつ、データラッチ DL-R の対応するビットデータが“1”となっている場合は、データラッチ DL-R の上記対応するビットデータを“0”とし、それ以外の場合は、データラッチ DL-R のビットデータを“1”に変更する。

【0131】

時刻  $t_7$  において、センスラッチ回路 120 は、クリアされる。

時刻  $t_8$  において、第 3 の判定レベル  $V_{j3}$  に基づく読出動作が開始され、センスラッチ回路 120 に読出データが格納される。

【0132】

第 3 の判定レベル  $V_{j3}$  に基づく読出動作の完了後、時刻  $t_9$  において、制御回路 210 により制御されて、読出データ変換回路 220 は、センスラッチ回路 120 に保持されたデータと、データラッチ回路 DL-R に保持されたデータとの間で演算を開始し、時刻  $t_{10}$  から、ともに“0”のビットデータのところだけ、データラッチ DL-R に保持されるビットデータを“1”に変更する。

【0133】

時刻  $t_{11}$  において、データラッチ回路 DL-R に保持されている残り 1/2

セクタ分のデータの出力が開始される。

【0134】

時刻  $t_{12}$  において、1セクタ分のデータ出力が完了する。

以上の読出動作によっても、実施の形態1の読出動作と同様の効果が奏される。

【0135】

〔実施の形態2〕

図16は、実施の形態2のフラッシュメモリのセンスラッチ回路120とビット線との接続の切り換え方式の概念を示す図であり、図16(a)は、センスラッチ回路120中において1ビットのデータに対応するセンスラッチSLに対して、ビット線BL1が接続されている場合を示し、図16(b)は、上記センスラッチSLに対して、ビット線BL2が接続されている場合を示す。

【0136】

実施の形態2のフラッシュメモリの構成は、図16に示す構成と制御回路210の制御動作以外は、基本的に実施の形態1のフラッシュメモリ1000の構成と同様である。

【0137】

図16に示すような構成とすることで、1つのワード線WLが選択されている状態で、ビット線からのセンスラッチ回路120へのデータの取りこみが、隣接するメモリセル列について分割して行なわれる場合、各メモリセル列からのデータの読出ごとに、第1～第3の処理ステップを分割して並行に処理することが可能となり、以下に説明するように、さらに高速化を図ることが可能となる。

【0138】

図17は、図16において示した概念を具体的に実現するための回路構成を示す図である。図17では、センスラッチ回路120中の各ビットデータに対応するセンスラッチのうち2つに関する構成を代表として抜き出して示す。

【0139】

図17を参照して、たとえば、1つのワード線WL<sub>n</sub>に接続するゲートを有するメモリセルトランジスタMC<sub>1nm</sub>、MC<sub>2nm</sub>、MC<sub>1nm+1</sub>、MC<sub>2n</sub>

$m+1$  のドレインは、それぞれサブビット線  $SBL1m$ 、 $SBL2m$ 、 $SBL1m+1$ 、 $SBL2m+1$  に接続されている。メモリセルトランジスタは、コントロールゲートとフローティングゲートを有する、いわゆるフローティングゲートトランジスタである。

#### 【0140】

サブビット線  $SBL1m$ 、 $SBL2m$  は、それぞれ、トランジスタ  $Tr1m$ 、 $Tr2m$  を介してメインビット線  $MBLm$  に接続している。トランジスタ  $Tr1m$  のゲートは信号  $BSS1$  により制御され、トランジスタ  $Tr2m$  のゲートは信号  $BSS2$  により制御される。

#### 【0141】

サブビット線  $SBL1m+1$ 、 $SBL2m+1$  は、それぞれ、トランジスタ  $Tr1m+1$ 、 $Tr2m+1$  を介してメインビット線  $MBLm+1$  に接続している。トランジスタ  $Tr1m+1$  のゲートは信号  $BSS1$  により制御され、トランジスタ  $Tr2m+1$  のゲートは信号  $BSS2$  により制御される。

#### 【0142】

メインビット線  $MBLm$  は、ゲート電位が信号  $STG$  により制御されるゲートトランジスタ  $TGm$  を介して、センスラッチ回路 120 中の 1 ビットデータに対応するラッチ回路  $SLm$  と接続する。メインビット線  $MBLm+1$  は、ゲート電位が信号  $STG$  により制御されるゲートトランジスタ  $TGm+1$  を介して、センスラッチ回路 120 中の他の 1 ビットデータに対応するラッチ回路  $SLm+1$  と接続する。

#### 【0143】

なお、1 つのメインビット線に接続されるサブビット線の本数は、図 17 のように 2 本に限定されるわけではなく、さらに多くてもよい。

#### 【0144】

図 18～29 は、本発明の実施の形態 2 の動作説明図であり、読出動作の第 1～第 6 の処理ステップにおいて、データラッチ  $DL-L$  および  $DL-R$  ならびにセンスラッチ  $SL$  に保持されるデータおよび読出時のメモリセルのしきい値と判定レベルを示す概念図である。

## 【0145】

図18は、読出動作の第1の処理ステップにおける各ラッチに保持されるデータを示し、図19は、読出動作の第1の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

## 【0146】

図20は、読出動作の第2の処理ステップにおける各ラッチに保持されるデータを示し、図21は、読出動作の第2の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

## 【0147】

図22は、読出動作の第3の処理ステップにおける各ラッチに保持されるデータを示し、図23は、読出動作の第3の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

## 【0148】

図24は、読出動作の第4の処理ステップにおける各ラッチに保持されるデータを示し、図25は、読出動作の第4の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

## 【0149】

図26は、読出動作の第5の処理ステップにおける各ラッチに保持されるデータを示し、図27は、読出動作の第5の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

## 【0150】

図28は、読出動作の第6の処理ステップにおける各ラッチに保持されるデータを示し、図29は、読出動作の第6の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

## 【0151】

まず、図18および図19を参照して、読出動作の第1の処理ステップにおいては、同一のワード線に接続された複数メモリセル、たとえば、1kByte分のメモリセルから、第2の判定レベル $V_{j2}$ で一括して読出を行ない、その結果をセンスラッチ回路120に格納する。



## 【0152】

図18では、センスラッチ回路120中において、1セクタ分の読出動作で、最初にデータ入出力端子群10から出力される1バイト分のデータを保持するセンスラッチSLと、これに対応するデータラッチDL-LおよびDL-Rを抜き出して示す。1セクタ分の読出動作で、この1バイト分のデータに続いてデータ入出力端子群10から読み出されるデータについても、以下に説明するのと同様の処理が並行して行なわれている。

## 【0153】

図17のサブビット線のうち信号BSS1により選択されるサブビット線SBL1m、SBL1m+1等に接続し、かつ、データ入出力端子群10から最初に出力される1バイト分のデータを含むデータ列を保持するメモリセル列MC1n0~MC1n7には、それぞれデータ“11”，“01”，“00”，“10”，“01”，“00”，“10”，“11”が保持されているものとする。したがって、図18において、センスラッチ回路120の1バイト分の領域に保持されるデータは、16進数表示で、C9hである。

## 【0154】

第2の判定レベルVj2で一括して読出されたデータは、センスラッチSLからデータラッチDL-Lに格納される。この時点で、制御回路210の制御により、データラッチDL-Lに格納されたデータが、順次1バイトずつデータ入出力端子群10から出力される。この時点でデータラッチ回路DL-Lに格納されているデータは、従来の2値フラッシュメモリの読出動作における1セクタ分のデータの1/4に相当する。

## 【0155】

このように、読出動作の第1の処理ステップにおいて、第2の判定レベルVj2で読出動作をまず行なうのも、図19に示すとおり、このレベルで読出すことにより、メモリセル内の4種のデータが、“0”または“1”のうちのいずれであるかが確定するからである。すなわち、メモリセルMC1n0~MC1n7に格納されるデータの上位のビットの0または1が確定することになる。

## 【0156】

次に、図 20 および図 21 を参照して、読出動作の第 2 の処理ステップにおいては、第 1 の処理ステップでセンスラッチ  $SL$  からデータラッチ  $DL-L$  にデータを格納し、センスラッチ  $SL$  がクリアされた時点で、第 2 の判定レベル  $V_j 2$  で、図 17 のサブビット線のうち信号  $BSS 2$  により選択されるサブビット線  $SBL 2m$ 、 $SBL 2m+1$  等に接続するメモリセル列  $MC 2n 0 \sim MC 2n 7$  から読出動作を行ない、読み出されたデータをセンスラッチ回路 120 に格納する。

## 【0157】

メモリセル列  $MC 2n 0 \sim MC 2n 7$  にも、それぞれデータ “11”，“01”，“00”，“10”，“01”，“00”，“10”，“11” が保持されているものとする。したがって、図 20 において、センスラッチ回路 120 の 1 バイト分の領域に保持されるデータも、16 進数表示で、 $C9h$  である。

## 【0158】

つまり、データラッチ回路  $DL-L$  からはデータ出力を行なっている途中で、センスラッチ  $SL$  からデータラッチ  $DL-R$  にデータ転送を行なう。データラッチ  $DL-L$  からのデータ出力に引き続いて、データラッチ  $DL-R$  からのデータ出力を行う。

## 【0159】

同一のワード線に接続し、メモリセル列  $MC 2n 0 \sim MC 2n 7$  以外のメモリセルであって、図 17 のサブビット線のうち信号  $BSS 2$  により選択されるサブビット線に接続するメモリセルについても、同様の処理が並行して行なわれている。

## 【0160】

次に、図 22 および図 23 を参照して、読出動作の第 3 の処理ステップにおいては、第 2 の処理ステップでセンスラッチ  $SL$  からデータラッチ  $DL-L$  にデータを格納し、センスラッチ  $SL$  がクリアされた時点で、第 1 の判定レベル  $V_j 1$  で読出動作を行ない、読み出されたデータをセンスラッチ回路 120 に格納する。

## 【0161】

つづいて、データラッチ回路DL-Rからはデータ出力を行なっている途中で、センスラッチSLからデータラッチDL-Lにデータ転送を行なう。データラッチDL-Lへのデータ転送後、センスラッチ回路120はクリアされる。

## 【0162】

次に、図24および図25を参照して、読出動作の第4の処理ステップにおいては、第3の判定レベルVj3で、メモリセルMC1n0～MC1n7から読出動作を行ない、センスラッチ回路120にデータを格納する。

## 【0163】

読出データ変換回路220は、センスラッチSLに保持されるデータとデータラッチDL-Lに保持されるデータとの間で演算を行ない、ともに“0”のビットデータのところだけ、データラッチDL-Lのビットデータを“1”に変更する。このとき、データラッチDL-Rからはデータ出力中である。

## 【0164】

データラッチDL-Rからのデータ出力が終了した後、制御回路210は、データラッチDL-Lからデータ入出力端子群10へデータ出力を開始する。

## 【0165】

次に、図26および図27を参照して、読出動作の第5の処理ステップにおいては、第4の処理ステップでセンスラッチSLからデータラッチDL-Lにデータを格納し、センスラッチSLがクリアされた時点で、第1の判定レベルVj1で、メモリセルMC2n0～MC2n7から読出動作を行ない、読み出されたデータをセンスラッチ回路120に格納する。

## 【0166】

つづいて、データラッチ回路DL-Lからはデータ出力を行なっている途中で、センスラッチSLからデータラッチDL-Rにデータ転送を行なう。データラッチDL-Rへのデータ転送後、センスラッチ回路120はクリアされる。

## 【0167】

次に、図28および図29を参照して、読出動作の第6の処理ステップにおいては、第3の判定レベルVj3で、メモリセルMC2n0～MC2n7から読出動作を行ない、センスラッチ回路120にデータを格納する。

## 【0168】

読出データ変換回路220は、センスラッチSLに保持されるデータとデータラッチDL-Rに保持されるデータとの間で演算を行ない、ともに“0”のビットデータのところだけ、データラッチDL-Rのビットデータを“1”に変更する。このとき、データラッチDL-Lからはデータ出力中である。

## 【0169】

データラッチDL-Lからのデータ出力が終了した後、制御回路210は、データラッチDL-Rからデータ入出力端子群10へデータ出力を開始する。

## 【0170】

したがって、実施の形態2の4値フラッシュメモリ1000では、読出コマンドの入力後、データが出力されるようになるまでには、1/4セクタ分のデータに対して第2の判定レベルVj2の判定結果が出るまでの時間だけ経過すればよい。したがって、実施の形態1の場合よりもさらに読出し時間を削減することが可能である。

## 【0171】

図30は、実施の形態2のフラッシュメモリの読出動作を説明するためのタイミングチャートである。

## 【0172】

図30を参照して、時刻t1において、まず、第2の判定レベルVj2でメモリセルMC1n0～MC1n7等からの読出動作が行なわれ、センスラッチ回路120に格納される。

## 【0173】

続いて、時刻t2において、センスラッチ回路120に保持されたデータは、データラッチDL-Lに転送され、センスラッチ回路120はクリアされる。

## 【0174】

時刻t3において、第2の判定レベルVj2でメモリセルMC2n0～MC2n7等からの読出動作が開始され、センスラッチ回路120に読出しデータが格納される。

## 【0175】

続いて、時刻  $t_4$  において、データラッチ DL-L からのデータ出力が開始される。

【0176】

時刻  $t_5$  において、メモリセル MC  $2n_0 \sim MC 2n_7$  等からの第2の判定レベル  $V_{j2}$  での読出しデータが、データラッチ DL-R に格納される。

【0177】

時刻  $t_6$  において、第1の判定レベル  $V_{j1}$  に基づいて、メモリセル MC  $1n_0 \sim MC 1n_7$  等から読出動作が開始される。一方、時刻  $t_7$  において、制御回路 210 の制御により、データラッチ DL-R に保持されている 1/4 セクタ分のメモリセル MC  $2n_0 \sim MC 2n_7$  等からの読出データの出力が開始される。

【0178】

時刻  $t_8$  において、第1の判定レベル  $V_{j1}$  に基づいて読み出され、センスラッチ回路 120 に保持されているデータが、データラッチ DL-L に格納される。一方、センスラッチ回路 120 は、クリアされる。

【0179】

時刻  $t_9$  において、第3の判定レベル  $V_{j3}$  に基づいて、メモリセル MC  $1n_0 \sim MC 1n_7$  等から読出動作が開始され、センスラッチ回路 120 に読出データが格納される。

【0180】

メモリセル MC  $1n_0 \sim MC 1n_7$  等からの第3の判定レベル  $V_{j3}$  に基づく読出データに基づいて、時刻  $t_{10}$  において、制御回路 210 により制御されて、読出データ変換回路 220 は、センスラッチ回路 120 に保持されたデータと、データラッチ回路 DL-L に保持されたデータとの間で演算を行ない、ともに“0”のビットデータのところだけ、データラッチ DL-L に保持されるビットデータを“1”に変更する。

【0181】

一方、時刻  $t_{11}$  において、第1の判定レベル  $V_{j1}$  に基づいて、メモリセル MC  $2n_0 \sim MC 2n_7$  等から読出動作が開始される。一方、時刻  $t_{12}$  において、制御回路 210 の制御により、データラッチ DL-L に保持されている 1/

4セクタ分のメモリセルMC1n0～MC1n7等からの読出データの出力が開始される。

## 【0182】

時刻t13において、第1の判定レベルVj1に基づいて読み出され、センスラッチ回路120に保持されているデータが、データラッチDL-Rに格納される。一方、センスラッチ回路120は、クリアされる。

## 【0183】

時刻t14において、第3の判定レベルVj3に基づいて、メモリセルMC2n0～MC2n7等から読出動作が開始され、センスラッチ回路120に読出データが格納される。

## 【0184】

メモリセルMC2n0～MC2n7等からの第3の判定レベルVj3に基づく読出データに基づいて、時刻t15において、制御回路210により制御されて、読出データ変換回路220は、センスラッチ回路120に保持されたデータと、データラッチ回路DL-Rに保持されたデータとの間で演算を行ない、ともに“0”のビットデータのところだけ、データラッチDL-Rに保持されるビットデータを“1”に変更する。

## 【0185】

時刻t16において、データラッチ回路DL-Rに保持されている1/4セクタ分のデータの出力が開始される。時刻t17において、1セクタ分のデータ出力が完了する。

## 【0186】

以上説明したとおり、時刻t1およびt3において読み出されたデータ列の出力が行なわれている期間中に、このデータ列に続いて出力されるべきデータ列の読出動作が完了しているために、4値メモリセルからの読出データを出力する際の遅延時間を削減することが可能である。

## 【0187】

## 〔実施の形態3〕

つぎに、実施の形態1のフラッシュメモリ1000の構成におけるデータの書

込み動作の 1 例を実施の形態 3 として説明する。

【0188】

図 3 1 ～ 3 6 は、本発明の実施の形態 3 の動作説明図であり、書込動作の第 1 ～ 第 3 の処理ステップにおいて、データラッチ DL-L および DL-R ならびにセンスラッチ SL に保持されるデータおよび書込時のメモリセルのしきい値と判定レベルを示す概念図である。

【0189】

図 3 1 は、書込動作の第 1 の処理ステップにおける各ラッチに保持されるデータを示し、図 3 2 は、書込動作の第 1 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0190】

図 3 3 は、書込動作の第 2 の処理ステップにおける各ラッチに保持されるデータを示し、図 3 4 は、書込動作の第 2 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0191】

図 3 5 は、書込動作の第 3 の処理ステップにおける各ラッチに保持されるデータを示し、図 3 6 は、書込動作の第 3 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0192】

まず、書込動作が行われるメモリセルブロックについては、全てのメモリセルについてデータ “11” に対応するしきい値とされる。

【0193】

次に、図 3 1 および図 3 2 を参照して、書込動作の第 1 の処理ステップにおいては、入力されたデータ（1/2 セクタ分：16 進表現で C9 h）をデータラッチ DL-L に格納し、センスラッチ SL に転送する。第 2 の判定レベル Vj2 に基づいて、レベル 3 に相当するしきい値までの書込みを行う。この第 2 の判定レベル Vj2 での書込み動作中に、残りの 1/2 セクタ分のデータ（16 進表現で 93 h）がデータラッチ DL-R に格納される。

【0194】

次に、図 3 3 および図 3 4 を参照して、書込動作の第 2 の処理ステップにおいては、書込データ変換回路 2 3 0 は、データラッチ D L-R、D L-L に含まれるデータについて、対応するビットデータの組について演算することで、データラッチ D L-L に保持されるビットが“0”であって、データラッチ D L-R に保持されるビットが“1”となっているデータに対応するセンスラッチ S L のビットデータのみを“0”レベルとする。

## 【0195】

図 3 3 に示すとおり、このような演算を行なった後には、センスラッチ S L には、“1 0 1 1 0 1 1 1”というデータが保持されている。このようにしてセンスラッチ S L に保持されたデータに基づいて、センスラッチ S L の各ビットにそれぞれ対応するメモリセル M C 0 ~ M C 7 にデータの書込が行なわれる。ここで、メモリセル M C 0 ~ M C 7 は、同一のワード線 W L に接続している。さらに、ベリファイ動作の判定値としては第 3 番目の判定値 V j 3 を用いる。

## 【0196】

このとき、センスラッチ中のデータ“0”に対応するメモリセルに対してデータの書込みが行なわれる。したがって、センスラッチの第 1 ビットと第 4 ビットに対応するメモリセル M C 1 および M C 4 に対してレベル 4 のデータ（データ“0 1”に対応する）の書込が行なわれる。

## 【0197】

データの書込は、ワード線 W L に高電圧を印加することで、F N（ファウラー・ノルドハイム）トンネル電流を利用して書込まれる。

## 【0198】

センスラッチ S L のビットデータが“1”のビットに対応するビット線 B L にはワード線 W L から印加される電圧を緩和するために、ワード線電圧以下の電圧が印加される。結果的に、センスラッチに保持されるビットデータが“0”に対応するビット線 B L に接続するメモリセルにだけデータの書込が行なわれる。

## 【0199】

次に、図 3 5 および 3 6 を参照して、書込動作の第 3 ステップでは、書込みデータ変換回路 2 3 0 は、データラッチ D L-R、D L-L に保持されたデータの



演算を行ない、データラッチDL-Lに保持されたビットデータが“1”であり、データラッチDL-Rに保持されたビットデータが“0”であるデータの組に対応するセンスラッチSLのビットには“0”が書込まれる。ベリファイ動作における判定値を第1の判定レベルVj1に変えたうえで、メモリセルMC3およびMC6にのみデータの書込が行なわれる。

## 【0200】

以上の説明から明らかなように、図31および図32の書込みでは、本来レベル4としてデータが書込まれるべきメモリセルに対しても、一旦、レベル3としてデータの書込みが行われている。図33および図34で、レベル4としての書き込みが行われるメモリセルは、すべて図31および図32において、レベル3として書込みが行われたメモリセルに含まれる。

## 【0201】

同様に、図35および図36において、レベル2としての書き込みが行われるメモリセルも、その直前まで、レベル1のしきい値を有していたメモリセルの中に含まれている。

## 【0202】

つまり、図31および図32の書込みを行う時点で、レベル4および3の書込みが行われるメモリセルと、メモリ2および1の書込みが行われるメモリセルとが分離されていることになる。

## 【0203】

したがって、実施の形態3の4値フラッシュメモリでは、書込みコマンドの入力後、データラッチDL-Rへの1/2セクタ分のデータの入力時間中にすでに書込み動作が開始されているため、書込み時間を短縮することが可能である。

## 【0204】

特に、以下の式(2)の条件を満たす場合は、短縮の効果が大きい。

$$\{\text{セクタサイズ (Byte)} \times (1 \text{ Byte 当りの入力時間}) \times 1/2\} \\ \geq \{\text{レベル3の書込み時間}\} \quad \cdots (2)$$

図37は、実施の形態3のフラッシュメモリ1000の書込動作を説明するためのタイミングチャートである。

## 【0205】

図37を参照して、時刻 $t_1$ において、まず、1/2セクタ分のデータ（上位ビットのデータ）の入力が開始され、時刻 $t_2$ からデータラッチDL-Lへの格納が始まる。

## 【0206】

時刻 $t_3$ において、前半の1/2セクタ分のデータの入力が終了すると、データラッチDL-Lに格納されているデータは、センスラッチSLに転送される。

## 【0207】

一方、時刻 $t_3$ において、1/2セクタ分のデータ（下位ビットのデータ）の入力が開始され、時刻 $t_4$ からデータラッチDL-Rへの格納が始まる。

## 【0208】

時刻 $t_5$ において、センスラッチSLに格納されたデータに基づいて、第2の判定レベル $V_j2$ に応じて、書き込み動作が行なわれる。

## 【0209】

時刻 $t_6$ において、第2の判定レベルでの書き込み動作が終了すると、センスラッチSLはクリアされる。

## 【0210】

時刻 $t_7$ において、書き込みデータ変換回路230は、データラッチDL-R、DL-Lに含まれるデータについて、対応するビットデータの組について演算を開始し、時刻 $t_8$ から、データラッチDL-Lに保持されるビットが“0”であって、データラッチDL-Rに保持されるビットが“1”となっているデータに対応するセンスラッチSLのビットデータのみを“0”レベルとしていく。

## 【0211】

時刻 $t_9$ において、センスラッチSLに格納されたデータに基づいて、第3の判定レベル $V_j3$ に応じて、書き込み動作が行なわれる。

## 【0212】

時刻 $t_{10}$ において、第3の判定レベルでの書き込み動作が終了すると、センスラッチSLはクリアされる。

## 【0213】

時刻  $t_{11}$  において、書込みデータ変換回路 230 は、データラッチ DL-R、DL-L に保持されたデータの演算を開始し、時刻  $t_{12}$  から、データラッチ DL-L に保持されたビットデータが“1”であり、データラッチ DL-R に保持されたビットデータが“0”であるデータの組に対応するセンスラッチ SL のビットに“0”を書込んでいく。

#### 【0214】

時刻  $t_{13}$  において、センスラッチ SL に格納されたデータに基づいて、第 1 の判定レベル  $V_{j1}$  に応じて、書込み動作が行なわれる。

#### 【0215】

以上説明したとおり、時刻  $t_1$  において入力されたデータ列の書込みが行なわれている期間中に、このデータ列に続いて書込まれるべきデータ列の格納動作が完了しているために、4 値メモリセルヘデータを書込む際の遅延時間を削減することが可能である。

#### 【0216】

##### 〔実施の形態 3 の変形例〕

実施の形態 3 の書込み動作では、書込み時間の短縮を可能とした。一方で、書込み動作時に使用されるデータラッチの個数を削減することも可能である。

#### 【0217】

図 38 および 39 は、本発明の実施の形態 3 変形例の動作説明図であり、書込動作の第 2 の処理ステップにおいて、データラッチ DL-L および DL-R ならびにセンスラッチ SL に保持されるデータおよび読出時のメモリセルのしきい値と判定レベルを示す概念図である。

#### 【0218】

図 38 は、書込動作の第 2 の処理ステップにおける各ラッチに保持されるデータを示し、図 39 は、書込動作の第 2 の処理ステップにおける読出し動作のメモリセルのしきい値と判定レベルを示す。

#### 【0219】

まず、図 31 および図 32 と同様に、書込み動作の第 1 の処理ステップで、メモリセルにデータを書込む。

## 【0220】

つづいて、書込み動作の第2の処理ステップで、残りの1/2セクタ分のデータを再び、データラッチDL-Lに取り込む。一方、第2の判定レベルVj2で第1の処理ステップでメモリセルに書込んだデータを読み出し、センスラッチSLに格納する。書込みデータ変換回路230は、データラッチDL-Lに保持されたデータとセンスラッチSLに保持されたデータとの間で、図33および図34におけるのと同様の演算を行い、センスラッチSLの内容を書き換える。このセンスラッチSLのデータに基づいて、第3の判定レベルVj3に応じた書込み動作を実行する。

## 【0221】

つづいて、同様に、再び、第2の判定レベルVj2でメモリセルに書込んだデータを読み出し、センスラッチSLに格納する。書込みデータ変換回路230は、データラッチDL-Lに保持されたデータとセンスラッチSLに保持されたデータとの間で、図35および図36におけるのと同様の演算を行い、センスラッチSLの内容を書き換える。このセンスラッチSLのデータに基づいて、第1の判定レベルVj1に応じた書込み動作を実行する。

## 【0222】

以上のような動作により、データ書込みに必要となるデータラッチの個数を削減することが可能となる。

## 【0223】

## 〔実施の形態4〕

実施の形態4の書込み動作では、実施の形態3の書込み動作に要する時間をさらに削減するために、実施の形態3において、図33および図34で説明した判定値レベルVj3での書込みと、図35および図36で説明した判定値レベルVj1での書込みとを同時に行うことが可能な書込み処理を提供する。

## 【0224】

実施の形態3の書込み処理では、判定値レベルVj3でのしきい値レベル4への書込み、判定値レベルVj2でのしきい値レベル3への書込み、判定値レベルVj1でのしきい値レベル2への書込み処理においては、表1に示すように、デ

一タの書込みを行わないメモリセルのドレインには、書込み阻止電圧を印加している。

【0225】

【表1】

書き込みモード		ゲート電圧 (ワード線電圧)	ドレイン電圧	ソース電圧
レベル4の書き込み	書き込みビット	VW4(例えば17V)	V1(例えば0V)	開放
	書き込み阻止ビット	VW4(例えば17V)	V3(例えば6V)	開放
レベル3の書き込み	書き込みビット	VW3(例えば16V)	V1(例えば0V)	開放
	書き込み阻止ビット	VW3(例えば16V)	V3(例えば6V)	開放
レベル2の書き込み	書き込みビット	VW2(例えば15V)	V1(例えば0V)	開放
	書き込み阻止ビット	VW2(例えば15V)	V3(例えば6V)	開放

## 【0226】

図40および図41は、本発明の実施の形態4の動作説明図であり、書込動作の第2の処理ステップにおいて、データラッチDL-LおよびDL-RならびにセンスラッチSLに保持されるデータおよび書込時のメモリセルのしきい値と判定レベルを示す概念図である。

## 【0227】

図40は、書込動作の第2の処理ステップにおける各ラッチに保持されるデータを示し、図41は、書込動作の第2の処理ステップにおける書込み動作のメモリセルのしきい値と判定レベルを示す。

## 【0228】

まず、図31および図32と同様に、書込み動作の第1の処理ステップで、メモリセルに第2の判定レベル $V_j2$ に基づいてデータを書込む。

## 【0229】

つづいて、書込み動作の第2の処理ステップで、残りの1/2セクタ分のデータを、データラッチDL-Rに取り込む。書込データ変換回路230は、データラッチDL-R、DL-Lに含まれるデータについて、対応するビットデータの組について演算することで、データラッチDL-Lに保持されるビットデータと、データラッチDL-Rに保持されるビットデータとが異なっている場合にのみ、対応するセンスラッチSLのビットデータを“0”レベルとする。これは、データラッチDL-RとDL-Lに保持される各ビットデータの排他的論理和演算結果の反転処理を行うことに相当する。

## 【0230】

このようにして書換えられたセンスラッチSLの値に基づいて、以下の表2の条件を満たすように、メモリセルにデータを書込む。すなわち、データの書込みを行うメモリセルに対しては、書込むデータが“01”であるか、“10”であるかに応じて、表2のとおりドレイン電圧を変化させる。

## 【0231】

## 【表2】

書込みモード		ゲート電圧 (ワード線電圧)	ドレイン電圧	ソース電圧
レベル4の書込み	書込みビット センスラッチ: "0" データラッチ: DL-Lが"0" または DL-Rが"0"	VW4(例えば17V)	V1(例えば0V)	開放
	書込み阻止ビット	VW4(例えば17V)	V3(例えば6V)	開放
レベル2の書込み	書込みビット センスラッチ: "0" データラッチ: DL-Lが"0" または DL-Rが"0"	VW4(例えば17V)	V2(例えば2V)	開放
	書込み阻止ビット	VW4(例えば17V)	V3(例えば6V)	開放



## 【0232】

表2においては、電圧 $V_1 < \text{電圧 } V_2 < \text{電圧 } V_3$ の関係が成り立つ。メモリセルトランジスタのしきい値電圧の設定値異なる場合は、電圧 $V_1$ 、 $V_2$ 、 $V_3$ はこの関係を維持しつつ、電圧 $V_2$ 、 $V_3$ の値を変化させればよい。

## 【0233】

以上のような動作により、データ書込みに必要となる時間を一層削減することが可能となる。

## 【0234】

## 〔実施の形態5〕

以上の説明では、1つのメモリセルに保持されるデータが、2ビット、つまり、4値の場合において、データの読出、書込みの動作について説明した。

## 【0235】

より一般的に、 $n \geq m+1$ 、 $m \geq 0$ 、 $n$ 、 $m$ は自然数とするとき、1つのメモリセルに保持されるデータが $2^n$ 値の場合は、書込みデータと書込みデータに対応するメモリセルトランジスタのしきい値のレベルとの対応づけに一定の関係をおくとき、各メモリセルに保持される $n$ ビットデータのうち、第 $2^{n-1}$ の判定レベルでの読出で、 $n$ ビットのうちの1ビット（たとえば、最上位の1ビット）が確定するようにできる。

## 【0236】

さらに、第 $2^{n-2}$ の判定レベルと第 $(2^{n-1} + 2^{n-2})$ の判定レベルの2つでの読出処理により、 $n$ ビットのうちのさらに1ビットが確定するようにできる。

## 【0237】

さらに、第 $\Sigma(2^{n-1-m+Y})$ の判定レベル（ $\Sigma$ は、 $Y$ について $Y=0$ から $Y=m$ までの和： $m \geq 0$ 、 $n \geq m+1$ ）等の $2^m$ 個の判定レベルでの読出処理により、 $n$ ビットのうちのさらに1ビットが確定するようにできる。

## 【0238】

最終的に、第1の判定レベル、第3の判定レベル、第5の判定レベル、…、第 $2^{n-1}$ の判定レベルでの読出処理により、 $n$ ビットのうちのさらに1ビットが確定するようにできる。

## 【0239】

図42は、3ビット、すなわち、8値のデータを1つのメモリセルに書込む場合に、上述の要領で読出が可能なときの書込みデータと書込みデータに対応するメモリセルトランジスタのしきい値のレベルとの対応づけを示す図である。

## 【0240】

第4の判定レベルでの読出で最上位ビットが確定し、第2および第6の判定レベルでの読出で中位ビットが確定し、第1、3、5、7の判定レベルでの読出で最下位ビットが確定する。

## 【0241】

これに対して、図43は、3ビット、すなわち、8値のデータを1つのメモリセルに書込む場合に、上述の要領で読出ができないときの書込みデータと書込みデータに対応するメモリセルトランジスタのしきい値のレベルとの対応づけを示す図である。

## 【0242】

第4の判定レベルでの読出で最上位ビットが確定するものの、第2および第6の判定レベルでの読出では中位ビットは確定しない。

## 【0243】

## [16値データの読出動作]

以下では、16 ( $= 2^n$ :  $n=4$ ) 値の場合を例にとって、読出動作を説明する。以下に説明するとおり、データラッチ回路が、回路DL-LとDL-Rの2系統から、回路DL-1~4の4系統となり、制御回路210の動作が異なる以外は、本実施の形態のフラッシュメモリの構成は、実施の形態1のフラッシュメモリ1000の構成と同様である。

## 【0244】

図44~81は、本発明の実施の形態5の動作説明図であり、読出動作の第1~第19の処理ステップにおいて、データラッチDL-1~DL-4ならびにセンスラッチSLに保持されるデータおよび読出時のメモリセルのしきい値と判定レベルを示す概念図である。

## 【0245】

図44は、読出動作の第1の処理ステップにおける各ラッチに保持されるデータを示し、図45は、読出動作の第1の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

#### 【0246】

まず、図44および図45を参照して、読出動作の第1の処理ステップにおいては、同一のワード線に接続された複数メモリセル、たとえば、1kByte分のメモリセルから、第8 ( $=2^{n-1}$ :  $n=4$ ) の判定レベル $V_{j8}$ で一括して読出を行ない、その結果をセンスラッチ回路120に格納する。

#### 【0247】

図44では、センスラッチ回路120中において、1セクタ分の読出動作で、最初にデータ入出力端子群10から出力される2バイト分のデータを保持するセンスラッチSLと、これに対応するデータラッチDL-1~DL-4を抜き出して示す。1セクタ分の読出動作で、この2バイト分のデータに続いてデータ入出力端子群10から読み出されるデータについても、以下に説明するのと同様の処理が並行して行なわれている。

#### 【0248】

このデータ入出力端子群10から最初に出力される1バイト分のデータを含むデータ列を保持するメモリセル列MC0~MC15には、それぞれデータ“0111”，“0110”，“0100”，“0101”，“0001”，“0000”，“0010”，“0011”，“1011”，“1010”，“1000”，“1001”，“1101”，“1100”，“1110”，“1111”が保持されているものとする。

#### 【0249】

図45に示すように、メモリセルのしきい値の高い側のレベル16から低い側のレベル1までのレベルにそれぞれ対応する書込みデータは、“0111”，“0110”，“0100”，“0101”，“0001”，“0000”，“0010”，“0011”，“1011”，“1010”，“1000”，“1001”，“1101”，“1100”，“1110”，“1111”であるものとする。

【0250】

したがって、図44において、センスラッチ回路120の2バイト分の領域に保持されるデータは、16進数表示で、00hとFFhである。

【0251】

第8の判定レベルVj8で一括して読出されたデータは、センスラッチSLからデータラッチDL-1に格納される。この時点で、制御回路210の制御により、データラッチDL-1に格納されたデータが、順次1バイトずつ（または2バイトずつ）データ入出力端子群10から出力される。

【0252】

このように、読出動作の第1の処理ステップにおいて、第8の判定レベルVj2で読出動作をまず行なうのは、図45に示すとおり、このレベルで読出すことにより、メモリセル内の16種のデータが、“0”または“1”のうちのいずれであるかが確定するからである。すなわち、メモリセルMC0～MC15に格納されるデータの最上位のビットの0または1が確定することになる。

【0253】

図46は、読出動作の第2の処理ステップにおける各ラッチに保持されるデータを示し、図47は、読出動作の第2の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0254】

次に、図46および図47を参照して、読出動作の第2の処理ステップにおいては、第1の処理ステップでセンスラッチSLからデータラッチDL-1にデータを格納し、センスラッチSLがクリアされた時点で、第4（ $=2^{n-2}$ ： $n=4$ ）の判定レベルVj4で読出動作を行ない、読み出されたデータをセンスラッチ回路120に格納する。つまり、データラッチ回路DL-1からはデータ出力を行なっている途中で、センスラッチSLからデータラッチDL-2にデータ転送を行なう。データラッチDL-2へのデータ転送後、センスラッチ回路120はクリアされる。

【0255】

図48は、読出動作の第3の処理ステップにおける各ラッチに保持されるデー

タを示し、図49は、読出動作の第3の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0256】

次に、図48および図49を参照して、読出動作の第3の処理ステップにおいては、第12 ( $= 2^{n-1} + 2^{n-2}$ ;  $n=4$ ) の判定レベル  $V_{j12}$  で読出動作を行ない、センスラッチ回路120にデータを格納する。読出データ変換回路220は、センスラッチSLに保持されるデータの反転データとデータラッチDL-2に保持されるデータとの間でNOR演算を行なった結果にしたがって、データラッチDL2内のデータビットを変更する。

【0257】

図50は、読出動作の第4の処理ステップにおける各ラッチに保持されるデータを示し、図51は、読出動作の第4の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0258】

次に、図50および図51を参照して、読出動作の第4の処理ステップにおいては、第3の処理ステップでセンスラッチSLからデータラッチDL-1にデータを格納し、センスラッチSLがクリアされた時点で、第2 ( $= 2^{n-3}$ ;  $n=4$ ) の判定レベル  $V_{j2}$  で読出動作を行ない、読み出されたデータをセンスラッチ回路120に格納する。データラッチ回路DL-1からはデータ出力を行ない、その出力後にはデータラッチ回路DL-2からデータ出力を行なっている間に、センスラッチSLからデータラッチDL-3にデータ転送を行なう。データラッチDL-3へのデータ転送後、センスラッチ回路120はクリアされる。

【0259】

図52は、読出動作の第5の処理ステップにおける各ラッチに保持されるデータを示し、図53は、読出動作の第5の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0260】

次に、図52および図53を参照して、読出動作の第5の処理ステップにおいては、第6 ( $= 2^{n-2} + 2^{n-3}$ ;  $n=4$ ) の判定レベル  $V_{j6}$  で読出動作を行ない

、センスラッチ回路 120 にデータを格納する。読出データ変換回路 220 は、センスラッチ SL に保持されるデータの反転データとデータラッチ DL-3 に保持されるデータとの間で NOR 演算を行なった結果にしたがって、データラッチ DL3 内のデータビットを変更する。

#### 【0261】

図 54 は、読出動作の第 6 の処理ステップにおける各ラッチに保持されるデータを示し、図 55 は、読出動作の第 6 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

#### 【0262】

次に、図 54 および図 55 を参照して、読出動作の第 6 の処理ステップにおいては、第 5 の処理ステップでセンスラッチ SL からデータラッチ DL-3 にデータを格納し、センスラッチ SL がクリアされた時点で、第 10 ( $= 2^{n-1} + 2^{n-3}$  :  $n=4$ ) の判定レベル  $V_{j10}$  で読出動作を行ない、読み出されたデータをセンスラッチ回路 120 に格納する。データラッチ回路 DL-1 からはデータ出力を行ない、その出力後にはデータラッチ回路 DL-2 からデータ出力を行なっている間に、センスラッチ SL からデータラッチ DL-4 にデータ転送を行なう。データラッチ DL-4 へのデータ転送後、センスラッチ回路 120 はクリアされる。

#### 【0263】

図 56 は、読出動作の第 7 の処理ステップにおける各ラッチに保持されるデータを示し、図 57 は、読出動作の第 7 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

#### 【0264】

次に、図 56 および図 57 を参照して、読出動作の第 7 の処理ステップにおいては、第 14 ( $= 2^{n-1} + 2^{n-2} + 2^{n-3}$  :  $n=4$ ) の判定レベル  $V_{j14}$  で読出動作を行ない、センスラッチ回路 120 にデータを格納する。読出データ変換回路 220 は、センスラッチ SL に保持されるデータの反転データとデータラッチ DL-4 に保持されるデータとの間で NOR 演算を行なった結果にしたがって、データラッチ DL4 内のデータビットを変更する。

【0265】

図58は、読出動作の第8の処理ステップにおける各ラッチに保持されるデータを示し、図59は、読出動作の第8の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0266】

次に、図58と図59を参照して、読出データ変換回路220は、データラッチDL-3とDL-4に保持されたビットデータ間でOR演算を行ない、結果をデータラッチ回路DL-3に格納する。

【0267】

図60は、読出動作の第9の処理ステップにおける各ラッチに保持されるデータを示し、図61は、読出動作の第9の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0268】

次に、図60と図61を参照して、データラッチDL-2からのデータ出力中において、第1 ( $= 2^{n-4}$ :  $n=4$ ) の判定レベル $V_{j1}$ で読出動作を行ない、センスラッチ回路120にデータを格納する。センスラッチSL中のデータをデータラッチDL-4に転送する。なお、読出データ変換回路220は、データラッチDL-2からのデータ出力が終了後、データラッチDL-3に保持されるデータの反転データをデータ入出力端子に出力する。

【0269】

図62は、読出動作の第10の処理ステップにおける各ラッチに保持されるデータを示し、図63は、読出動作の第10の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0270】

次に、図62および図63を参照して、読出動作の第10の処理ステップにおいては、第3 ( $= 2^{n-3} + 2^{n-4}$ :  $n=4$ ) の判定レベル $V_{j3}$ で読出動作を行ない、センスラッチ回路120にデータを格納する。読出データ変換回路220は、センスラッチSLに保持されるデータの反転データとデータラッチDL-4に保持されるデータとの間でNOR演算を行なった結果にしたがって、データラッ

チDL4内のデータビットを変更する。

【0271】

図64は、読出動作の第11の処理ステップにおける各ラッチに保持されるデータを示し、図65は、読出動作の第11の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0272】

次に、図64と図65を参照して、データラッチDL-2からのデータ出力中において、第5 ( $= 2^{n-2} + 2^{n-4}$ ;  $n=4$ ) の判定レベルVj5で読出動作を行ない、センスラッチ回路120にデータを格納する。センスラッチSL中のデータをデータラッチDL-1に転送する。

【0273】

図66は、読出動作の第12の処理ステップにおける各ラッチに保持されるデータを示し、図67は、読出動作の第12の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0274】

次に、図66および図67を参照して、読出動作の第12の処理ステップにおいては、第7 ( $= 2^{n-2} + 2^{n-3} + 2^{n-4}$ ;  $n=4$ ) の判定レベルVj7で読出動作を行ない、センスラッチ回路120にデータを格納する。読出データ変換回路220は、センスラッチSLに保持されるデータの反転データとデータラッチDL-1に保持されるデータとの間でNOR演算を行なった結果にしたがって、データラッチDL1内のデータビットを変更する。

【0275】

図68は、読出動作の第13の処理ステップにおける各ラッチに保持されるデータを示し、図69は、読出動作の第13の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0276】

次に、図68と図69を参照して、読出データ変換回路220は、データラッチDL-1とDL-4に保持されたビットデータ間でOR演算を行ない、結果をデータラッチ回路DL-4に格納する。



【0277】

図70は、読出動作の第14の処理ステップにおける各ラッチに保持されるデータを示し、図71は、読出動作の第14の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0278】

次に、図70と図71を参照して、データラッチDL-2またはDL3からのデータ出力中において、第9 ( $= 2^{n-1} + 2^{n-4} : n=4$ ) の判定レベルVj9で読出動作を行ない、センスラッチ回路120にデータを格納する。センスラッチSL中のデータはデータラッチDL-1に転送される。

【0279】

図72は、読出動作の第15の処理ステップにおける各ラッチに保持されるデータを示し、図73は、読出動作の第15の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0280】

次に、図72および図73を参照して、読出動作の第15の処理ステップにおいては、第11 ( $= 2^{n-1} + 2^{n-3} + 2^{n-4} : n=4$ ) の判定レベルVj11で読出動作を行ない、センスラッチ回路120にデータを格納する。読出データ変換回路220は、センスラッチSLに保持されるデータの反転データとデータラッチDL-1に保持されるデータとの間でNOR演算を行なった結果にしたがって、データラッチDL1内のデータビットを変更する。

【0281】

図74は、読出動作の第16の処理ステップにおける各ラッチに保持されるデータを示し、図75は、読出動作の第16の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0282】

次に、図74と図75を参照して、読出データ変換回路220は、データラッチDL-1とDL-4に保持されたビットデータ間でOR演算を行ない、結果をデータラッチ回路DL-4に格納する。

【0283】

図 76 は、読出動作の第 17 の処理ステップにおける各ラッチに保持されるデータを示し、図 77 は、読出動作の第 17 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0284】

次に、図 76 と図 77 を参照して、データラッチ DL-2 または DL3 からのデータ出力中において、第 13 ( $= 2^{n-1} + 2^{n-2} + 2^{n-4}$ ;  $n=4$ ) の判定レベル  $V_{j13}$  で読出動作を行ない、センスラッチ回路 120 にデータを格納する。センスラッチ SL 中のデータはデータラッチ DL-1 に転送される。

【0285】

図 78 は、読出動作の第 18 の処理ステップにおける各ラッチに保持されるデータを示し、図 79 は、読出動作の第 18 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0286】

次に、図 78 および図 79 を参照して、読出動作の第 18 の処理ステップにおいては、第 15 ( $= 2^{n-1} + 2^{n-2} + 2^{n-3} + 2^{n-4}$ ;  $n=4$ ) の判定レベル  $V_{j15}$  で読出動作を行ない、センスラッチ回路 120 にデータを格納する。読出データ変換回路 220 は、センスラッチ SL に保持されるデータの反転データとデータラッチ DL-1 に保持されるデータとの間で NOR 演算を行なった結果にしたがって、データラッチ DL1 内のデータビットを変更する。

【0287】

図 80 は、読出動作の第 19 の処理ステップにおける各ラッチに保持されるデータを示し、図 81 は、読出動作の第 19 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0288】

次に、図 80 と図 81 を参照して、読出データ変換回路 220 は、データラッチ DL-1 と DL-4 に保持されたビットデータ間で OR 演算を行ない、結果をデータラッチ回路 DL-4 に格納する。

【0289】

データラッチ DL-3 のデータ出力が終了した後、制御回路 210 は、データ

ラッチDL-4に保持されるデータの反転データをデータ入出力端子群10へ出力を開始する。

【0290】

以上のような動作により、16値のデータを保持できるメモリセルからのデータ読出時間を短縮することが可能である。

【0291】

なお、以上の説明では、判定レベルの低い方から2つずつ組にして、各組の上位の判定レベル値を反転し、2つの判定結果をNOR処理し、最後に各組の結果をOR処理している。この発明は、このような構成に限られるわけではなく、たとえば、判定レベルの高い方から2つずつ組にしても良い。

【0292】

〔16値データの書込み動作〕

つぎに、データの書込み動作について説明する。

【0293】

図82～87は、書込動作の第1～第7の処理ステップにおいて、データラッチDL-1～DL-4ならびにセンスラッチSLに保持されるデータおよび書込時のメモリセルのしきい値と判定レベルを示す概念図である。

【0294】

図82は、書込動作の第1の処理ステップにおける各ラッチに保持されるデータを示し、図83は、書込動作の第1の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0295】

図84は、書込動作の第2および3の処理ステップにおける各ラッチに保持されるデータを示し、図85は、書込動作の第2および3の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0296】

図86は、書込動作の第4～7の処理ステップにおける各ラッチに保持されるデータを示し、図87は、書込動作の第4～7の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

## 【0297】

まず、書込動作が行われるメモリセルブロックについては、全てのメモリセルについてデータ“1111”に対応するしきい値とされる。

## 【0298】

次に、図82および図83を参照して、書込動作の第1の処理ステップにおいては、入力されたデータ（16進表現で00hとFFh）をデータラッチDL-1に格納し、センスラッチSLに転送する。第8の判定レベルVj8に基づいて、レベル9に相当するしきい値までの書込みを行う。この第8の判定レベルVj8での書込み動作中に、残りのデータのうち2バイト分のデータがさらにデータラッチDL-2に格納される。

## 【0299】

次に、図84および図85を参照して、書込動作の第2の処理ステップにおいては、書込データ変換回路230は、データラッチDL-1、DL-2に含まれるデータについて、対応するビットデータの組について演算することで、データラッチDL-1に保持されるビットが“1”であって、データラッチDL-2に保持されるビットが“0”となっているデータに対応するセンスラッチSLのビットデータのみを“0”レベルとする。

## 【0300】

このようにしてセンスラッチSLに保持されたデータに基づいて、センスラッチSLの各ビットにそれぞれ対応するメモリセルMC0～MC15にデータの書込が行なわれる。ここで、メモリセルMC0～MC15は、同一のワード線WLに接続している。さらに、ベリファイ動作の判定値としては第4番目の判定値Vj4を用い、しきい値レベルのレベル5まで書込みを行なう。

## 【0301】

このとき、センスラッチ中のデータ“0”に対応するメモリセルに対してデータの書込みが行なわれる。

## 【0302】

データの書込は、ワード線WLに高電圧を印加することで、FN（ファウラー・ノルドハイム）トンネル電流を利用して書込まれる。

## 【0303】

センスラッチSLのビットデータが“1”のビットに対応するビット線BLにはワード線WLから印加される電圧を緩和するために、ワード線電圧以下の電圧が印加される。結果的に、センスラッチに保持されるビットデータが“0”に対応するビット線BLに接続するメモリセルにだけデータの書込が行なわれる。

## 【0304】

さらに、図84および図85を参照して、書込動作の第3の処理ステップにおいては、書込データ変換回路230は、データラッチDL-1、DL-2に含まれるデータについて、対応するビットデータの組について演算することで、データラッチDL-1に保持されるビットが“0”であって、データラッチDL-2に保持されるビットが“1”となっているデータに対応するセンスラッチSLのビットデータのみを“0”レベルとする。

## 【0305】

このようにしてセンスラッチSLに保持されたデータに基づいて、センスラッチSLの各ビットにそれぞれ対応するメモリセルMC0~MC15にデータの書込が行なわれる。ここで、ベリファイ動作の判定値としては第12番目の判定値V<sub>j12</sub>を用い、しきい値レベルのレベル13まで書込みが行なわれる。

## 【0306】

この第12の判定レベルV<sub>j12</sub>での書込み動作中に、残りの1/4セクタ分のデータがデータラッチDL-3に格納される。

## 【0307】

次に、図86および図87を参照して、書込動作の第4の処理ステップにおいては、書込データ変換回路230は、データラッチDL-1、DL-2、DL-3に含まれるデータについて、対応するビットデータの組について演算することで、データラッチDL-1に保持されるビットが“1”、データラッチDL-2に保持されるビットが“1”であって、データラッチDL-3に保持されるビットが“0”となっているデータに対応するセンスラッチSLのビットデータのみを“0”レベルとする。

## 【0308】

このようにしてセンスラッチSLに保持されたデータに基づいて、センスラッチSLの各ビットにそれぞれ対応するメモリセルMC0～MC15にデータの書込が行なわれる。ここで、ベリファイ動作の判定値としては第2番目の判定値Vj2を用い、しきい値レベルのレベル3にまで書込みが行なわれる。

#### 【0309】

さらに、図86および図87を参照して、書込動作の第5の処理ステップにおいては、書込データ変換回路230は、データラッチDL-1、DL-2およびDL-3に含まれるデータについて、対応するビットデータの組について演算することで、データラッチDL-1に保持されるビットが“1”、データラッチDL-2に保持されるビットが“0”、であって、データラッチDL-3に保持されるビットが“1”となっているデータに対応するセンスラッチSLのビットデータのみを“0”レベルとする。

#### 【0310】

このようにしてセンスラッチSLに保持されたデータに基づいて、センスラッチSLの各ビットにそれぞれ対応するメモリセルMC0～MC15にデータの書込が行なわれる。ここで、ベリファイ動作の判定値としては第6番目の判定値Vj6を用い、しきい値レベルのレベル7まで書込みが行なわれる。

#### 【0311】

以下同様にして、書込動作の第6の処理ステップにおいては、データラッチDL-1、DL-2、DL-3に保持されるデータのビットデータの組が、(0, 0, 0)に相当するセンスラッチのビットデータが“0”とされる。その上で、ベリファイ動作の判定値としては第10番目の判定値Vj10を用い、しきい値レベルのレベル11まで書込みが行なわれる。

#### 【0312】

書込動作の第7の処理ステップにおいては、データラッチDL-1、DL-2、DL-3に保持されるデータのビットデータの組が、(0, 1, 1)に相当するセンスラッチのビットデータが“0”とされる。その上で、ベリファイ動作の判定値としては第14番目の判定値Vj14を用い、しきい値レベルのレベル15まで書込みが行なわれる。このレベル15までの書込み動作期間中に、データ

ラッチ回路DL-4に、さらに残りの2バイトのデータが格納される。

#### 【0313】

さらに、図示しないが、書込動作の第8～15の処理ステップにおいては、それぞれ、データラッチDL-1、DL-2、DL-3、DL-4に保持されるデータのビットデータの組が、(1, 1, 1, 0)、(1, 1, 0, 1)、(1, 0, 0, 0)、(1, 0, 1, 1)、(0, 0, 1, 0)、(0, 0, 0, 1)、(0, 1, 0, 0)、(0, 1, 1, 1)に相当するセンスラッチのビットデータが“0”とされる。その上で、ベリファイ動作の判定値としては第1, 3, 5, 7, 9, 11, 13, 15番目の判定値を用い、それぞれのステップに対応するしきい値レベルまで書込みが行なわれる。

#### 【0314】

以上説明した通り、実施の形態5の16値フラッシュメモリでは、書込みコマンドの入力後、複数のデータラッチ回路のうちの少なくとも1つへのデータの入力時間中にすでに書込み動作が開始されているため、書込み時間を短縮することが可能である。

#### 【0315】

##### 〔実施の形態6〕

以上の説明では、データラッチ回路を4つとしたが、データラッチ回路の個数としては、データ出力用に1つ、データをNOR演算するために1つ、各ビット間でのOR演算を行なうための1つの計3つあれば、十分である。

#### 【0316】

以下では、16値のメモリセルへのデータの書き込みにあたり、3個のデータラッチ回路DL-1～DL-3でデータ書込みを行なう場合の処理の流れを説明する。

#### 【0317】

図88～117は、書込動作の第1～第15の処理ステップにおいて、データラッチDL-1～DL-3ならびにセンスラッチSLに保持されるデータおよび書込時のメモリセルのしきい値と判定レベルを示す概念図である。

#### 【0318】

図 88 は、書込動作の第 1 の処理ステップにおける各ラッチに保持されるデータを示し、図 89 は、書込動作の第 1 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

## 【0319】

まず、書込動作が行われるメモリセルブロックについては、全てのメモリセルについてデータ“1111”に対応するしきい値とされる。

## 【0320】

次に、図 88 および図 89 を参照して、書込動作の第 1 の処理ステップにおいては、入力されたデータ（16 進表現で 00h と FFh）をデータラッチ DL-1 に格納し、センスラッチ SL に転送する。第 8 の判定レベル Vj8 に基づいて、レベル 9 に相当するしきい値までの書込みを行う。この後、データラッチ DL-1 はクリアされる。この第 8 の判定レベル Vj8 での書込み動作中に、残りのデータのうち 2 バイト分のデータがさらにデータラッチ DL-2 に格納される。

## 【0321】

ここで、再び、第 8 の判定レベル Vj8 で読出を行ない、読出データをセンスラッチ SL に格納する。

## 【0322】

図 90 は、書込動作の第 2 の処理ステップにおける各ラッチに保持されるデータを示し、図 91 は、書込動作の第 2 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

## 【0323】

次に、図 90 および図 91 を参照して、書込動作の第 2 の処理ステップにおいては、書込データ変換回路 230 は、センスラッチ SL とデータラッチ DL-2 に含まれるデータについて、対応するビットデータの組について演算することで、センスラッチ SL に保持されるビットが“1”であって、データラッチ DL-2 に保持されるビットが“0”となっているデータに対応するセンスラッチ SL のビットデータのみを“0”レベルとする。

## 【0324】

このようにしてセンスラッチ SL に保持されたデータに基づいて、センスラッチ



SLの各ビットにそれぞれ対応するメモリセルMC0～MC15にデータの書込が行なわれる。ここで、ベリファイ動作の判定値としては第4番目の判定値Vj4を用い、しきい値レベルのレベル1からレベル5まで書込みを行なう。

【0325】

さらに、図90および図91を参照して、書込動作の第2の処理ステップにおいても、第8の判定レベルVj8で読出を行ない、読出データをセンスラッチSLに格納する。書込データ変換回路230は、センスラッチ回路SL、DL-2に含まれるデータについて、対応するビットデータの組について演算することで、センスラッチSLに保持されるビットが“0”であって、データラッチDL-2に保持されるビットが“1”となっているデータに対応するセンスラッチSLのビットデータのみを“0”レベルとする。

【0326】

このようにしてセンスラッチSLに保持されたデータに基づいて、センスラッチSLの各ビットにそれぞれ対応するメモリセルMC0～MC15に、第12の判定レベルVj12に応じてしきい値レベルのレベル9からレベル13まで書込みが行なわれる。

【0327】

一方、レベル13までのデータの書込みが行なわれている期間中に、データラッチDL-3に残りの2バイトのデータがさらに格納される。

【0328】

なお、上記書込動作の第2の処理ステップまでの動作では、判定レベルVj8での読出動作をその都度行なう代わりに、データラッチDL-1をクリアせずにデータを保持し、読出動作でセンスラッチSLに保持されるデータの代わりに、データラッチDL-1中のデータを用いても良い。ただし、以上の説明では、以下の手続きとの整合をとるために、判定レベルVj8での読出動作を行なうこととしている。

【0329】

図92は、書込動作の第3の処理ステップにおける各ラッチに保持されるデータを示し、図93は、書込動作の第3の処理ステップにおけるメモリセルのしき

い値と判定レベルを示す。

【0330】

図92および図93を参照して、書込動作の第3の処理ステップにおいては、まず、第8の判定レベル $V_j 8$ でデータの読出が行なわれ、読み出されたデータがセンスラッチSLに格納される。制御回路210は、センスラッチSLの反転データをデータラッチDL-1に転送する。

【0331】

図94は、書込動作の第4の処理ステップにおける各ラッチに保持されるデータを示し、図95は、書込動作の第4の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0332】

書込動作の第4の処理ステップにおいては、まず、第4の判定レベル $V_j 4$ でデータの読出が行なわれ、読み出されたデータがセンスラッチSLに格納される。

【0333】

書込みデータ変換回路230は、センスラッチSLとデータラッチDL-1に含まれるデータについて、対応するビットデータの組についてOR演算した結果をデータラッチDL1に格納する。

【0334】

図96は、書込動作の第5の処理ステップにおける各ラッチに保持されるデータを示し、図97は、書込動作の第5の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0335】

書込みデータ変換回路230は、データラッチDL-3とセンスラッチSLとに含まれるデータについて、対応するビットデータの組について演算し、データラッチDL-3に保持されるビットが“1”であって、センスラッチSLに保持されるビットが“1”となっているデータに対応するセンスラッチSLのビットデータのみを“0”レベルとする。

【0336】

このようにしてセンスラッチSLに保持されたデータに基づいて、判定レベルV<sub>j2</sub>をベリファイ電圧として、センスラッチSLの各ビットにそれぞれ対応するメモリセルMC0～MC15に、しきい値レベルのレベル1からレベル3へデータの書込が行なわれる。

【0337】

この第2の判定レベルV<sub>j2</sub>での書込み動作中に、残りの2バイトのデータがデータラッチDL-2に格納される。

【0338】

図98は、書込動作の第6の処理ステップにおける各ラッチに保持されるデータを示し、図99は、書込動作の第6の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0339】

書込みデータ変換回路230は、データラッチDL-1とデータラッチDL-3とに含まれるデータについて、対応するビットデータの組について演算し、データラッチDL-1に保持されるビットが“0”であって、データラッチDL-3に保持されるビットが“1”となっているデータに対応するセンスラッチSLのビットデータのみを“0”レベルとする。

【0340】

このようにしてセンスラッチSLに保持されたデータに基づいて、判定レベルV<sub>j6</sub>をベリファイ電圧として、センスラッチSLの各ビットにそれぞれ対応するメモリセルMC0～MC15に、しきい値レベルのレベル5からレベル7へデータの書込が行なわれる。

【0341】

図100は、書込動作の第7の処理ステップにおける各ラッチに保持されるデータを示し、図101は、書込動作の第7の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0342】

書込み動作の第7の処理ステップでは、第8の判定レベルV<sub>j8</sub>でデータを読み出し、センスラッチSLに格納後、制御回路210は、センスラッチSLからデ

ータラッチDL-1にデータを転送する。

【0343】

図102は、書込動作の第8の処理ステップにおける各ラッチに保持されるデータを示し、図103は、書込動作の第8の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0344】

書込み動作の第8の処理ステップでは、第12の判定レベル $V_{j12}$ でデータを読み出し、センスラッチSLに格納する。

【0345】

書込みデータ変換回路230は、センスラッチSLに保持されるデータの反転データとデータラッチDL-1とに含まれるデータについて、対応するビットデータの組についてOR演算し、演算結果をデータラッチDL-1に格納する。

【0346】

図104は、書込動作の第9の処理ステップにおける各ラッチに保持されるデータを示し、図105は、書込動作の第9の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0347】

書込みデータ変換回路230は、データラッチDL-1とデータラッチDL-3とに含まれるデータについて、対応するビットデータの組について演算し、データラッチDL-1に保持されるビットが“0”であって、データラッチDL-3に保持されるビットが“0”となっているデータに対応するセンスラッチSLのビットデータのみを“0”レベルとする。

【0348】

このようにしてセンスラッチSLに保持されたデータに基づいて、判定レベル $V_{j10}$ をベリファイ電圧として、センスラッチSLの各ビットにそれぞれ対応するメモリセルMC0~MC15に、しきい値レベルのレベル9からレベル11のデータの書込が行なわれる。

【0349】

図106は、書込動作の第10の処理ステップにおける各ラッチに保持される

データを示し、図 107 は、書込動作の第 10 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0350】

書込み動作の第 10 の処理ステップでは、第 12 の判定レベル  $V_{j12}$  でデータが読出され、センスラッチ  $SL$  に格納される。

【0351】

書込みデータ変換回路 230 は、センスラッチ  $SL$  とデータラッチ  $DL-3$  とに含まれるデータについて、対応するビットデータの組について演算し、センスラッチに保持されるビットが“0”であって、データラッチ  $DL-3$  に保持されるビットが“1”となっているデータに対応するセンスラッチ  $SL$  のビットデータのみを“0”レベルとする。

【0352】

図 108 は、書込動作の第 11 の処理ステップにおける各ラッチに保持されるデータを示し、図 109 は、書込動作の第 11 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0353】

書込動作の第 11 の処理ステップにおいて、センスラッチ  $SL$  に保持されたデータに基づいて、判定レベル  $V_{j14}$  をベリファイ電圧として、センスラッチ  $SL$  の各ビットにそれぞれ対応するメモリセル  $MC0 \sim MC15$  に、しきい値レベルのレベル 13 からレベル 15 のデータの書込が行なわれる。

【0354】

図 110 は、書込動作の第 12 の処理ステップにおける各ラッチに保持されるデータを示し、図 111 は、書込動作の第 12 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

【0355】

書込み動作の第 12 の処理ステップでは、第 2 の判定レベル  $V_{j2}$  でデータが読出され、センスラッチ  $SL$  に格納される。制御回路 210 は、センスラッチ  $SL$  のデータをデータラッチ  $DL1$  へ転送する。

【0356】

書込みデータ変換回路 230 は、センスラッチ SL とデータラッチ DL-2 とに含まれるデータについて、対応するビットデータの組について演算し、センスラッチに保持されるビットが“1”であって、データラッチ DL-2 に保持されるビットが“0”となっているデータに対応するセンスラッチ SL のビットデータのみを“0”レベルとする。

## 【0357】

図 112 は、書込動作の第 13 の処理ステップにおける各ラッチに保持されるデータを示し、図 113 は、書込動作の第 13 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

## 【0358】

書込動作の第 13 の処理ステップにおいて、センスラッチ SL に保持されたデータに基づいて、判定レベル  $V_{j1}$  をベリファイ電圧として、センスラッチ SL の各ビットにそれぞれ対応するメモリセル MC0~MC15 に、しきい値レベルのレベル 1 からレベル 2 へのデータの書込が行なわれる。

## 【0359】

図 114 は、書込動作の第 14 の処理ステップにおける各ラッチに保持されるデータを示し、図 115 は、書込動作の第 14 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

## 【0360】

書込み動作の第 14 の処理ステップでは、第 4 の判定レベル  $V_{j4}$  でデータが読出され、センスラッチ SL に格納される。

## 【0361】

書込みデータ変換回路 230 は、センスラッチ SL に保持されるデータの反転データとデータラッチ DL-1 とに含まれるデータについて、対応するビットデータの組について OR 演算し、演算結果をデータラッチ DL-1 に格納する。

## 【0362】

図 116 は、書込動作の第 15 の処理ステップにおける各ラッチに保持されるデータを示し、図 117 は、書込動作の第 15 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す。

## 【0363】

書込みデータ変換回路230は、データラッチDL1とデータラッチDL-2とに含まれるデータについて、対応するビットデータの組について演算し、データラッチDL-1に保持されるビットが“0”であって、データラッチDL-2に保持されるビットが“1”となっているデータに対応するセンスラッチSLのビットデータのみを“0”レベルとする。

## 【0364】

このようにしてセンスラッチSLに保持されたデータに基づいて、判定レベルV<sub>j3</sub>をベリファイ電圧として、センスラッチSLの各ビットにそれぞれ対応するメモリセルMC0~MC15に、しきい値レベルのレベル3からレベル4へのデータの書込が行なわれる。

## 【0365】

以下同様にして、レベル6、8、10、12、14、16への書込みを行なう。

## 【0366】

すなわち、2値に識別できる判定レベルでの書込みを行ない、以下、各処理レベルにおいて、4値、8値、…、 $2^n$ 値に識別できるレベルでの書込みを行なう。各処理レベルでは、先に書込みを行なった判定レベル（たとえば、4値の処理レベルから8値の処理レベルになった場合には、4値を判別できる3つの判定レベル）のうちから2つずつ（上下端では1つ）を選んで読出を行ない、その処理レベルで書込みを行なうべきビットデータを確定し、書込みを行なう。

## 【0367】

以上説明した通り、実施の形態6の16値フラッシュメモリでは、データラッチ回路の個数を削減して、16値のデータを保持するメモリセルからのデータ書込みを行なう事が可能である。

## 【0368】

以上の説明では、判定レベルの低い方からデータの書込みを行なうこととしているが、逆に、判定レベルの高い方からデータの書込みを行なうこととしてもよい。

## 【0369】

なお、実施の形態4の4値メモリセルへの書込みと同様に、しきい値レベルのレベル5とレベル13までの書込み、レベル3とレベル11までの書込み、レベル7とレベル15までの書込み、レベル2とレベル10までの書込み、レベル4とレベル12までの書込み、レベル6とレベル14までの書込み、レベル8とレベル16までの書込みを、それぞれ同時に行なうことも可能である。これらの組合せでは、どれもしきい値電圧の上げ幅も、各々の組のレベル差（しきい値電圧差）も等しいため、同様のドレイン電圧の組を用いることが可能である。

## 【0370】

以上の説明では、16値のデータを格納するメモリセルを例として示したが、より一般に、 $2^n$ 値のデータを格納するメモリセルにも本発明を適用することが可能である。

## 【0371】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

## 【0372】

## 【発明の効果】

請求項1ないし7記載の不揮発性半導体装置は、1つのメモリセルに格納される多値データが、異なるタイミングで授受されるデータから生成されるので、読出動作では、各ビットデータの確定するごとにデータ出力を行なうことが可能で、データ出力時間を短縮できる。

## 【0373】

請求項5ないし12記載の不揮発性半導体装置は、1つのメモリセルに格納される多値データが、異なるタイミングで授受されるデータから生成されるので、書込み動作では、各ビットデータの確定するごとにデータ書込みを行なうことが可能で、データ入力時間を短縮できる。

## 【図面の簡単な説明】



【図 1】 本発明の実施の形態 1 の不揮発性半導体記憶装置であるフラッシュメモリ 1000 の構成を示す概略ブロック図である。

【図 2】 読出動作の第 1 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 3】 読出動作の第 1 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 4】 読出動作の第 2 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 5】 読出動作の第 2 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 6】 読出動作の第 3 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 7】 読出動作の第 3 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 8】 実施の形態 1 のフラッシュメモリ 1000 の読出動作を説明するためのタイミングチャートである。

【図 9】 1 回の読出処理で、上位および下位ビットのいずれも確定できないような書込みレベルと書込みデータの対応付けの第 1 の例を示す図である。

【図 10】 1 回の読出処理で、上位および下位ビットのいずれも確定できないような書込みレベルと書込みデータの対応付けの第 2 の例を示す図である。

【図 11】 1 回の読出処理で、上位および下位ビットのいずれも確定できないような書込みレベルと書込みデータの対応付けの第 3 の例を示す図である。

【図 12】 1 回の読出処理で、上位および下位ビットのいずれも確定できないような書込みレベルと書込みデータの対応付けの第 4 の例を示す図である。

【図 13】 実施の形態 1 の変形例 2 の読出動作の第 2 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 14】 実施の形態 1 の変形例 2 の読出動作の第 2 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 15】 実施の形態 1 の変形例 2 のフラッシュメモリの読出動作を説明

するためのタイミングチャートである。

【図 16】 セン斯拉ッチ回路 120 とビット線との接続の切り換え方式の概念を示す図である。

【図 17】 図 16 において示した概念を具体的実現するための回路構成を示す図である。

【図 18】 読出動作の第 1 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 19】 読出動作の第 1 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 20】 読出動作の第 2 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 21】 読出動作の第 2 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 22】 読出動作の第 3 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 23】 読出動作の第 3 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 24】 読出動作の第 4 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 25】 読出動作の第 4 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 26】 読出動作の第 5 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 27】 読出動作の第 5 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 28】 読出動作の第 6 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 29】 読出動作の第 6 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である

【図 30】 実施の形態 2 のフラッシュメモリの読出動作を説明するためのタイミングチャートである。

【図 31】 書込動作の第 1 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 32】 書込動作の第 1 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 33】 書込動作の第 2 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 34】 書込動作の第 2 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 35】 書込動作の第 3 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 36】 書込動作の第 3 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 37】 実施の形態 3 のフラッシュメモリ 1000 の書込動作を説明するためのタイミングチャートである。

【図 38】 書込動作の第 2 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 39】 書込動作の第 2 の処理ステップにおける読出し動作のメモリセルのしきい値と判定レベルを示す図である。

【図 40】 書込動作の第 2 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 41】 書込動作の第 2 の処理ステップにおける書込み動作のメモリセルのしきい値と判定レベルを示す図である。

【図 42】 実施の形態 1 の手順で書込み可能な書込みデータとメモリセルトランジスタのしきい値のレベルとの対応づけを示す図である。

【図 43】 実施の形態 1 の手順で書込みできない書込みデータとメモリセルトランジスタのしきい値のレベルとの対応づけを示す図である。

【図 44】 実施の形態 5 の読出動作の第 1 の処理ステップにおける各ラッ

チに保持されるデータを示す図である。

【図 4 5】 実施の形態 5 の読出動作の第 1 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 4 6】 実施の形態 5 の読出動作の第 2 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 4 7】 実施の形態 5 の読出動作の第 2 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 4 8】 実施の形態 5 の読出動作の第 3 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 4 9】 実施の形態 5 の読出動作の第 3 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 5 0】 実施の形態 5 の読出動作の第 4 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 5 1】 実施の形態 5 の読出動作の第 4 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 5 2】 実施の形態 5 の読出動作の第 5 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 5 3】 実施の形態 5 の読出動作の第 5 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 5 4】 実施の形態 5 の読出動作の第 6 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 5 5】 実施の形態 5 の読出動作の第 6 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 5 6】 実施の形態 5 の読出動作の第 7 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 5 7】 実施の形態 5 の読出動作の第 7 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 5 8】 実施の形態 5 の読出動作の第 8 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 59】 実施の形態 5 の読出動作の第 8 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 60】 実施の形態 5 の読出動作の第 9 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 61】 実施の形態 5 の読出動作の第 9 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 62】 実施の形態 5 の読出動作の第 10 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 63】 実施の形態 5 の読出動作の第 10 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 64】 実施の形態 5 の読出動作の第 11 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 65】 実施の形態 5 の読出動作の第 11 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 66】 実施の形態 5 の読出動作の第 12 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 67】 実施の形態 5 の読出動作の第 12 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 68】 実施の形態 5 の読出動作の第 13 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 69】 実施の形態 5 の読出動作の第 13 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 70】 実施の形態 5 の読出動作の第 14 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 71】 実施の形態 5 の読出動作の第 14 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 72】 実施の形態 5 の読出動作の第 15 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 73】 実施の形態 5 の読出動作の第 15 の処理ステップにおけるメモ

リセルのしきい値と判定レベルを示す図である。

【図 74】 実施の形態 5 の読出動作の第 16 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 75】 実施の形態 5 の読出動作の第 16 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 76】 実施の形態 5 の読出動作の第 17 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 77】 実施の形態 5 の読出動作の第 17 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 78】 実施の形態 5 の読出動作の第 18 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 79】 実施の形態 5 の読出動作の第 18 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 80】 実施の形態 5 の読出動作の第 19 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 81】 実施の形態 5 の読出動作の第 19 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 82】 実施の形態 5 の書込動作の第 1 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 83】 実施の形態 5 の書込動作の第 1 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 84】 実施の形態 5 の書込動作の第 2 および 3 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 85】 実施の形態 5 の書込動作の第 2 および 3 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 86】 実施の形態 5 の書込動作の第 4 ～ 7 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 87】 実施の形態 5 の書込動作の第 4 ～ 7 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 88】 実施の形態 6 の書込動作の第 1 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 89】 実施の形態 6 の書込動作の第 1 の処理ステップにおけるメモリのしきい値と判定レベルを示す図である。

【図 90】 実施の形態 6 の書込動作の第 2 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 91】 実施の形態 6 の書込動作の第 2 の処理ステップにおけるメモリのしきい値と判定レベルを示す図である。

【図 92】 実施の形態 6 の書込動作の第 3 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 93】 実施の形態 6 の書込動作の第 3 の処理ステップにおけるメモリのしきい値と判定レベルを示す図である。

【図 94】 実施の形態 6 の書込動作の第 4 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 95】 実施の形態 6 の書込動作の第 4 の処理ステップにおけるメモリのしきい値と判定レベルを示す図である。

【図 96】 実施の形態 6 の書込動作の第 5 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 97】 実施の形態 6 の書込動作の第 5 の処理ステップにおけるメモリのしきい値と判定レベルを示す図である。

【図 98】 実施の形態 6 の書込動作の第 6 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 99】 実施の形態 6 の書込動作の第 6 の処理ステップにおけるメモリのしきい値と判定レベルを示す図である。

【図 100】 実施の形態 6 の書込動作の第 7 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 101】 実施の形態 6 の書込動作の第 7 の処理ステップにおけるメモリのしきい値と判定レベルを示す図である。

【図 102】 実施の形態 6 の書込動作の第 8 の処理ステップにおける各ラ

ッチに保持されるデータを示す図である。

【図 1 0 3】 実施の形態 6 の書込動作の第 8 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 1 0 4】 実施の形態 6 の書込動作の第 9 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 1 0 5】 実施の形態 6 の書込動作の第 9 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 1 0 6】 実施の形態 6 の書込動作の第 1 0 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 1 0 7】 実施の形態 6 の書込動作の第 1 0 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 1 0 8】 実施の形態 6 の書込動作の第 1 1 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 1 0 9】 実施の形態 6 の書込動作の第 1 1 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 1 1 0】 実施の形態 6 の書込動作の第 1 2 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 1 1 1】 実施の形態 6 の書込動作の第 1 2 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 1 1 2】 実施の形態 6 の書込動作の第 1 3 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 1 1 3】 実施の形態 6 の書込動作の第 1 3 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 1 1 4】 実施の形態 6 の書込動作の第 1 4 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 1 1 5】 実施の形態 6 の書込動作の第 1 4 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 1 1 6】 実施の形態 6 の書込動作の第 1 5 の処理ステップにおける各ラッチに保持されるデータを示す図である。



【図 117】 実施の形態 6 の書込動作の第 15 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 118】 従来の AND 型フラッシュメモリ 8000 の全体的な構成を示す概略ブロック図である。

【図 119】 従来の 2 値 AND 型フラッシュメモリの書込みデータと、メモリセルトランジスタのしきい値との関係を示す図である。

【図 120】 従来の 4 値 AND 型フラッシュメモリ 8000 の書込みデータと、メモリセルトランジスタのしきい値との関係を示す図である。

【図 121】 従来の書込み動作の第 1 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 122】 従来の書込み動作の第 1 の処理ステップにおけるメモリセルのしきい値を示す図である。

【図 123】 従来の書込み動作の第 2 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 124】 従来の書込み動作の第 2 の処理ステップにおけるメモリセルのしきい値を示す図である。

【図 125】 従来の書込み動作の第 3 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 126】 従来の書込み動作の第 3 の処理ステップにおけるメモリセルのしきい値を示す図である。

【図 127】 従来の読出動作の第 1 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 128】 従来の読出動作の第 1 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 129】 従来の読出動作の第 2 の処理ステップにおける各ラッチに保持されるデータを示す図である。

【図 130】 従来の読出動作の第 2 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【図 131】 従来の読出動作の第 3 の処理ステップにおける各ラッチに保

持されるデータを示す図である。

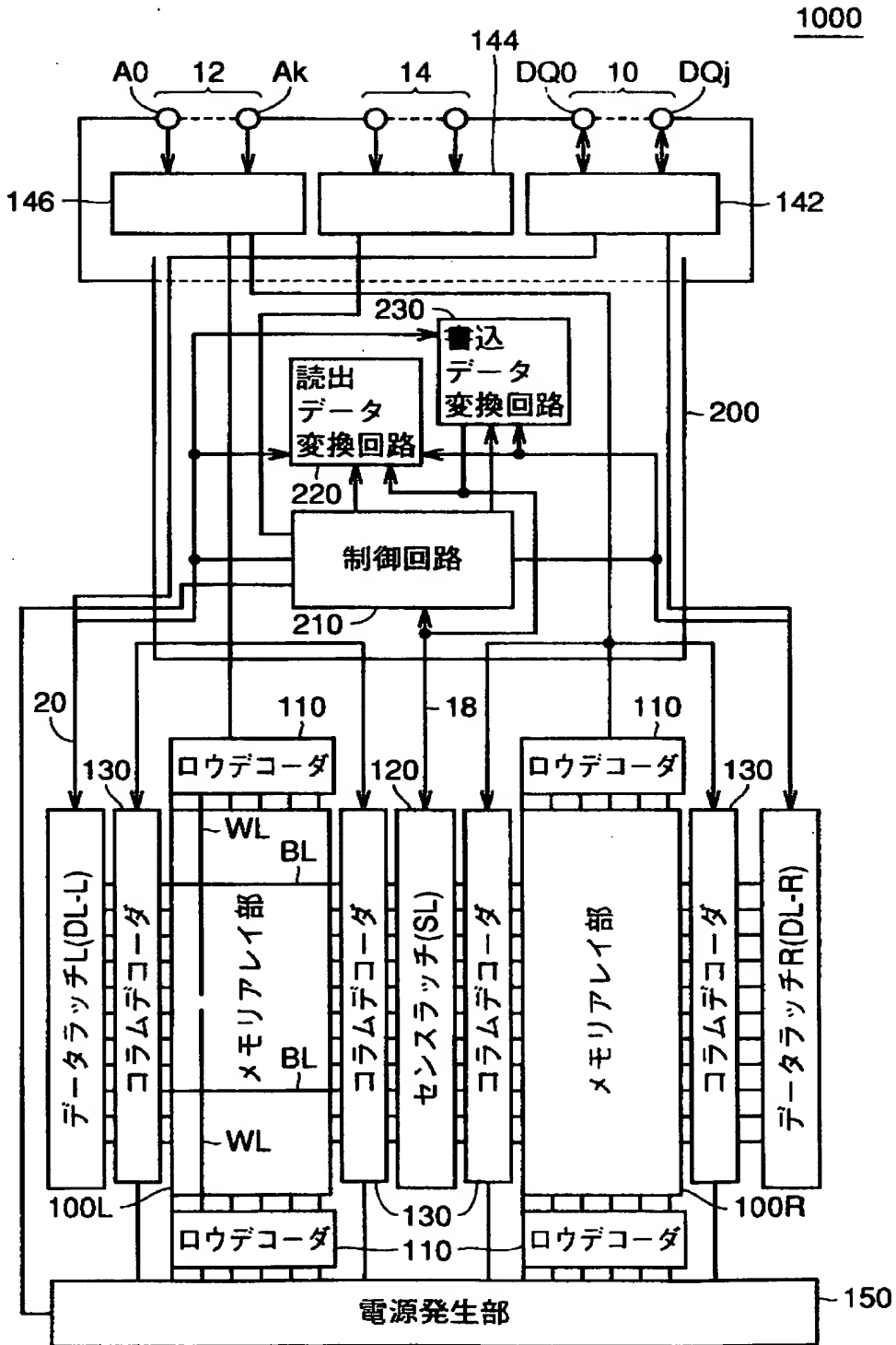
【図 132】 従来の読出動作の第 3 の処理ステップにおけるメモリセルのしきい値と判定レベルを示す図である。

【符号の説明】

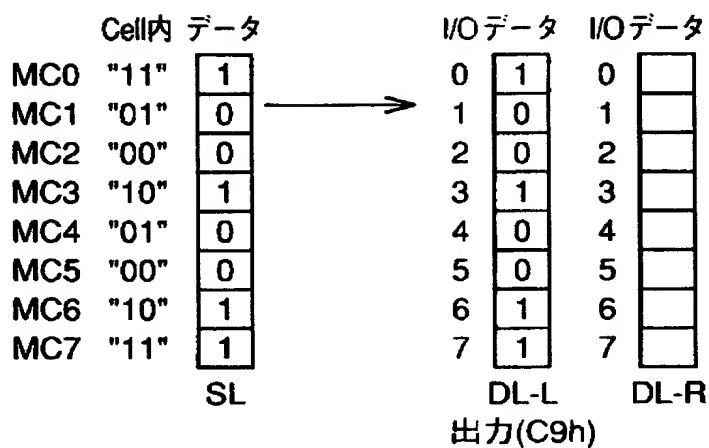
10 データ入出力端子、12 アドレス信号入力端子、14 コマンド信号入力端子、18、20 信号線、100 メモリセルアレイ、110 ロウデコーダ、120 センスラッチ回路、130 コラムデコーダ、142 データ入出力バッファ、144 コマンド信号入力バッファ、146 アドレス信号入力バッファ、150 電源発生部、200 チップコントロール回路、210 制御回路、220 読出データ変換回路、230 書込みデータ変換回路、1000 不揮発性半導体記憶回路。

【書類名】 図面

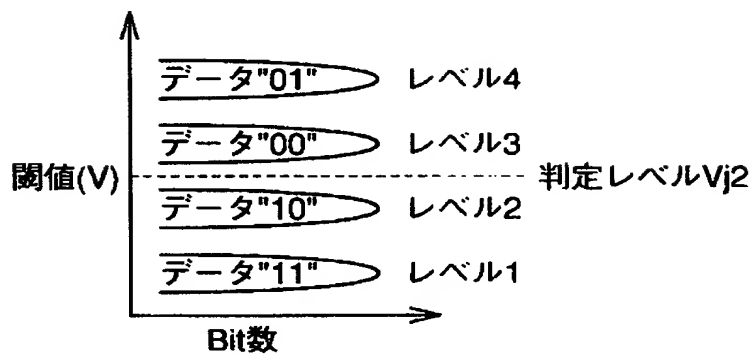
【図 1】



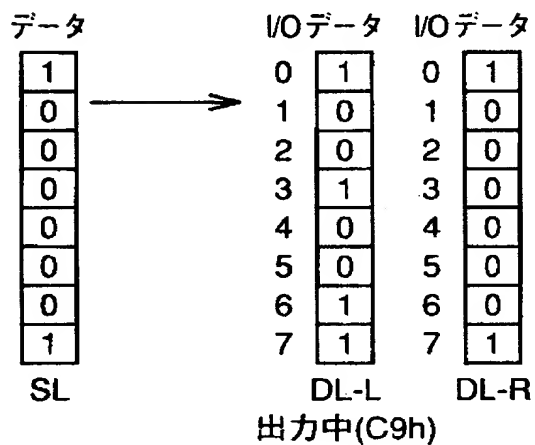
【図 2】



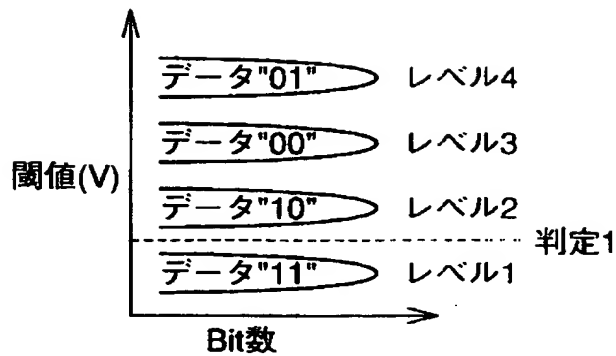
【図 3】



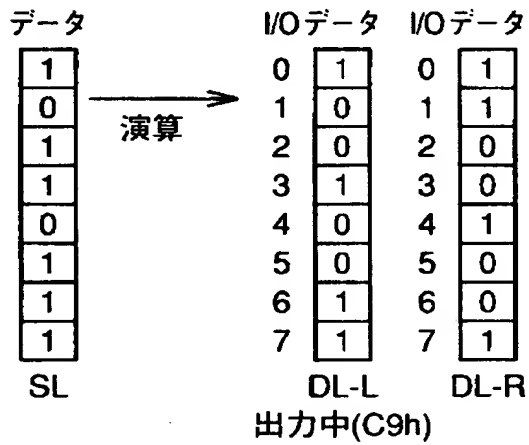
【図 4】



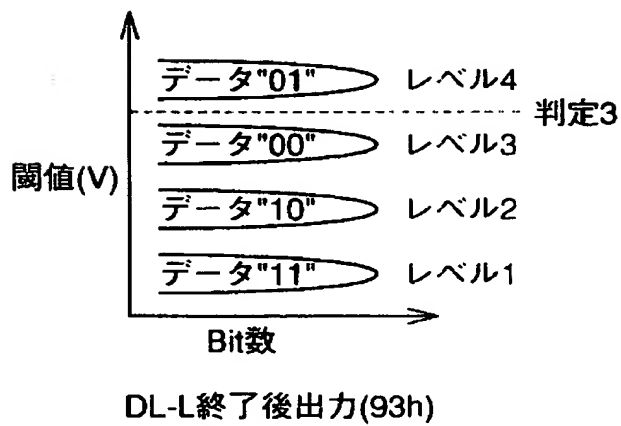
【図 5】



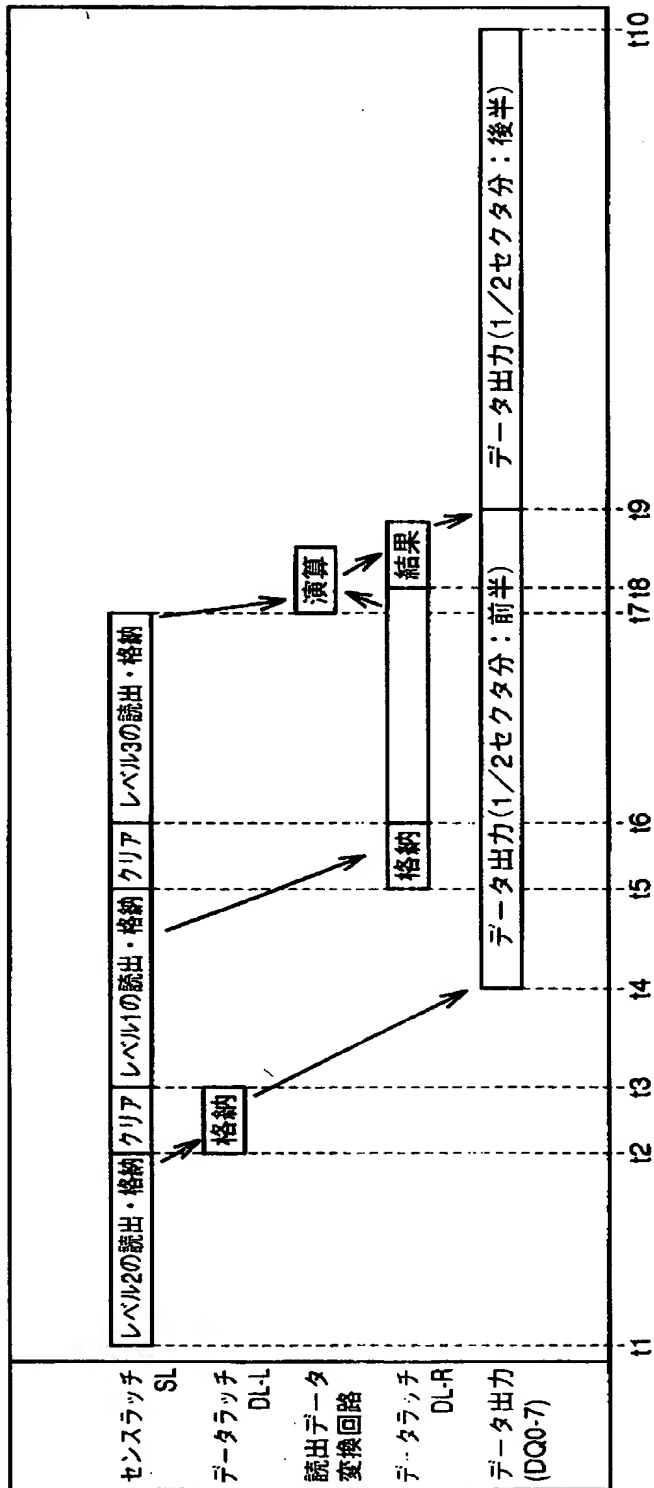
【図 6】



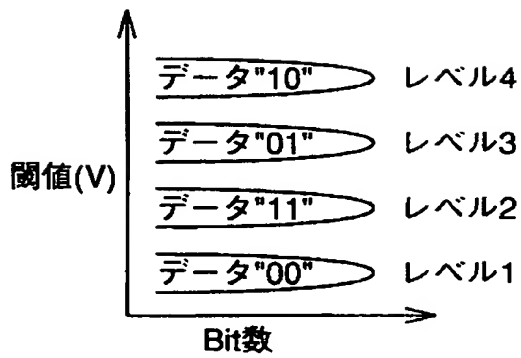
【図 7】



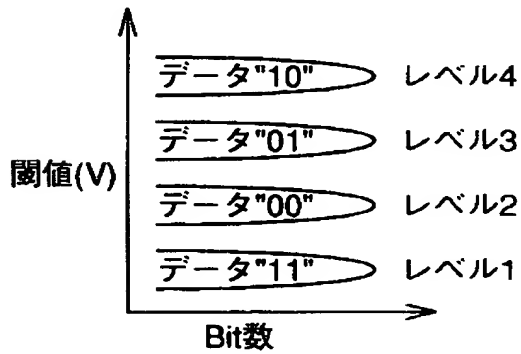
【図 8】



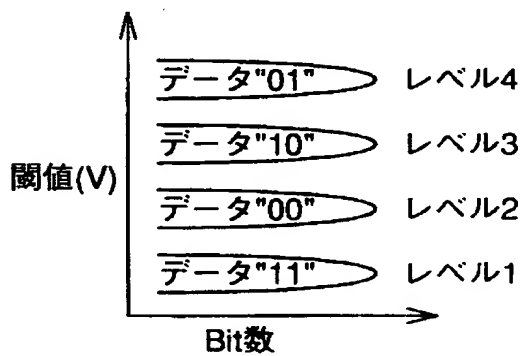
【図 9】



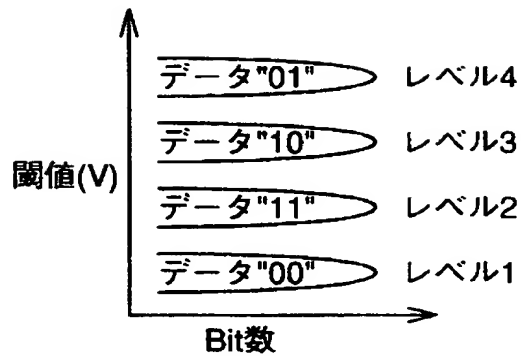
【図 1 0】



【図 1 1】



【図 1 2】



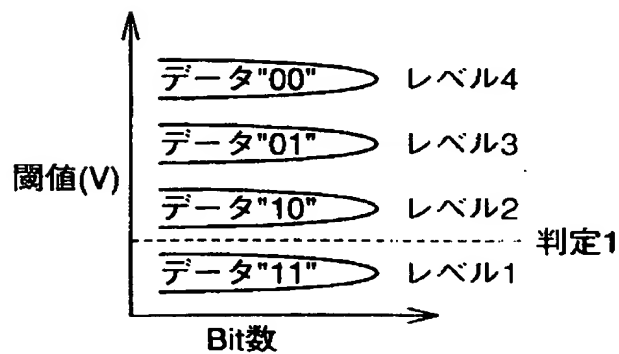
【図 1 3】

Cell内 データ		I/O データ	I/O データ
"11"	1	0	1
"00"	0	1	1
"01"	0	2	1
"10"	0	3	0
"00"	0	4	1
"01"	0	5	1
"10"	0	6	0
"11"	1	7	1
SL		DL-L	DL-R

SLが"0"  
DL-Rが"1"  
だけ"0"

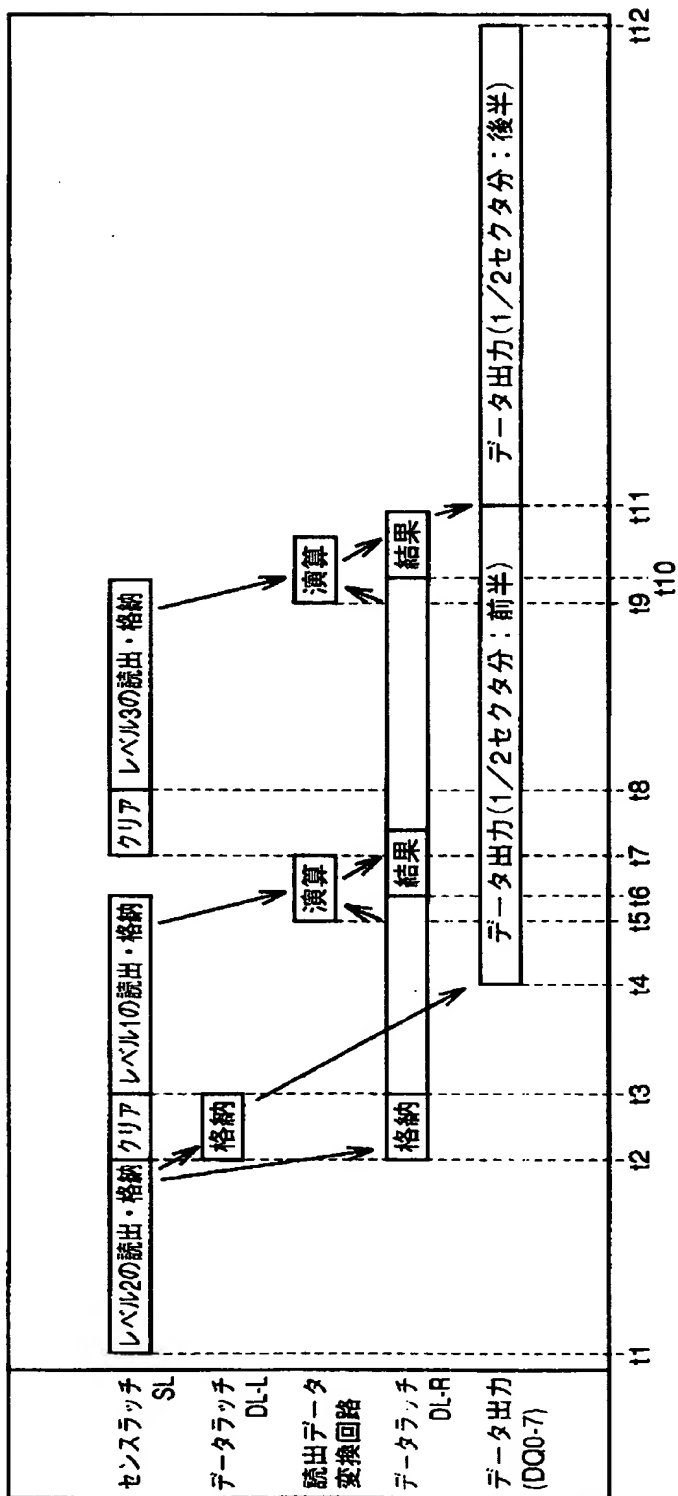
出力中(C9h)

【図 1 4】

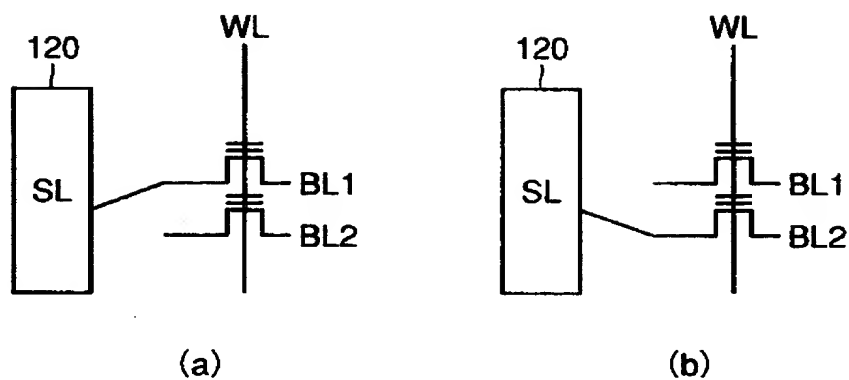




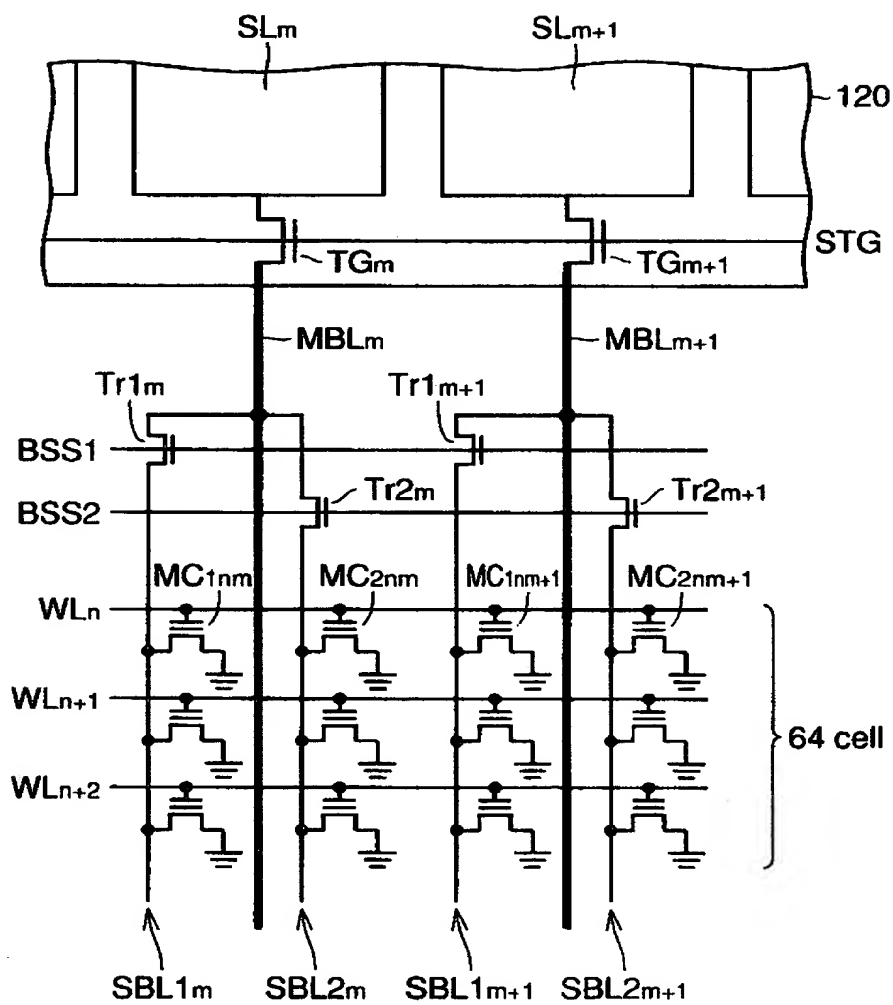
【図 15】



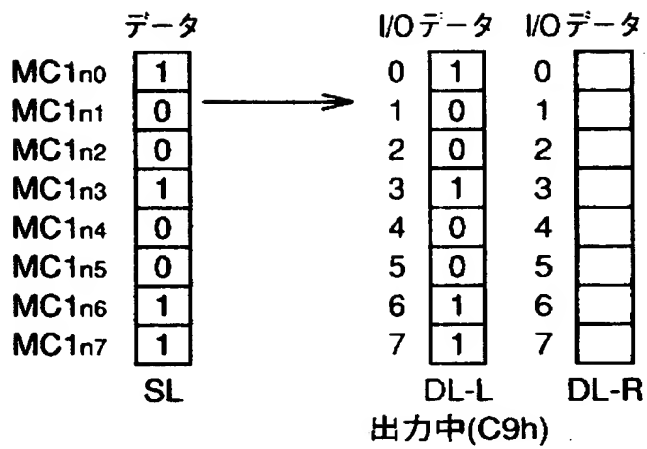
【図 16】



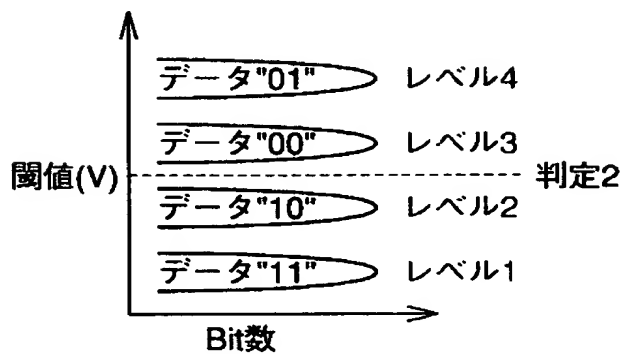
【図 17】



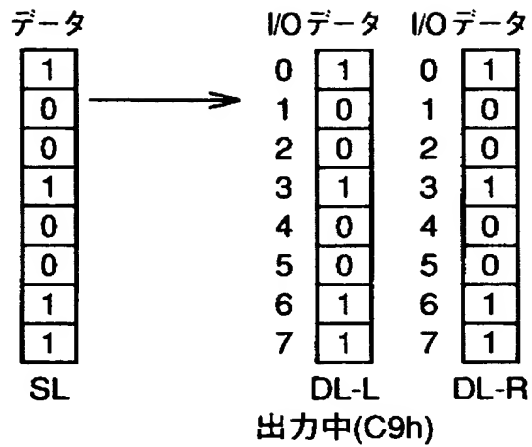
【図 1 8】



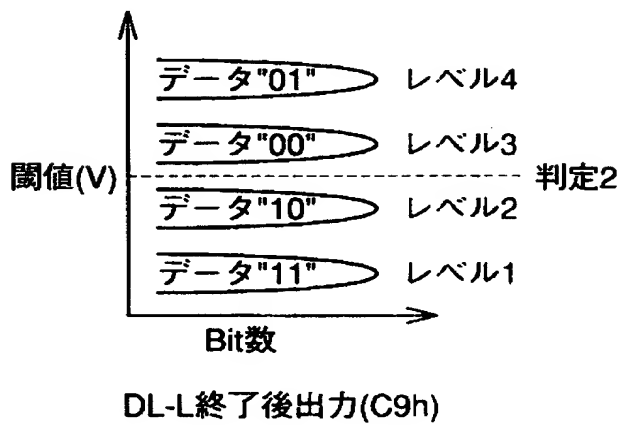
【図 1 9】



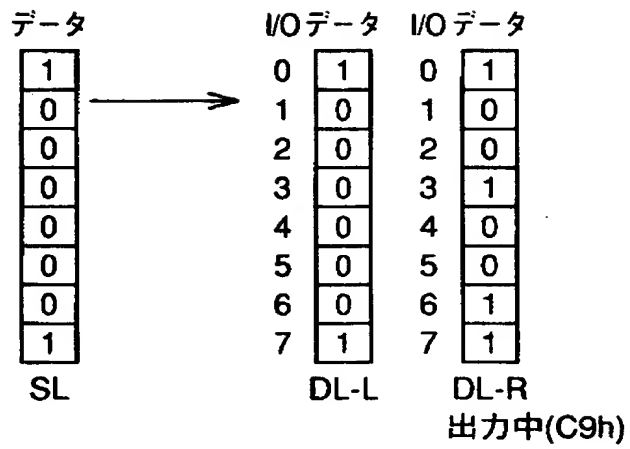
【図 2 0】



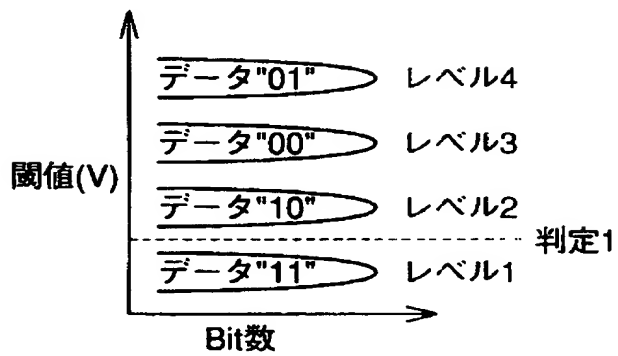
【図 2 1】



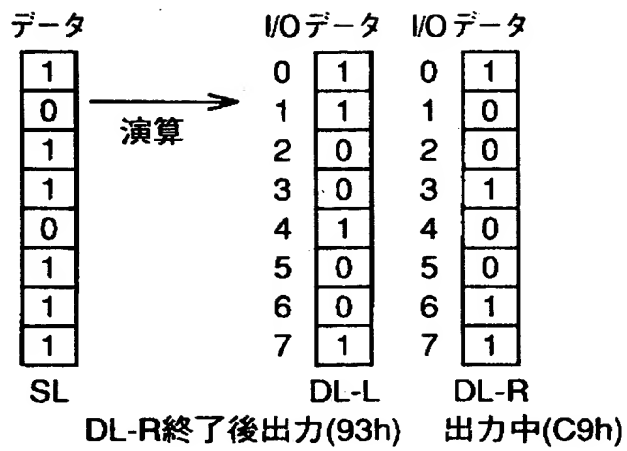
【図 2 2】



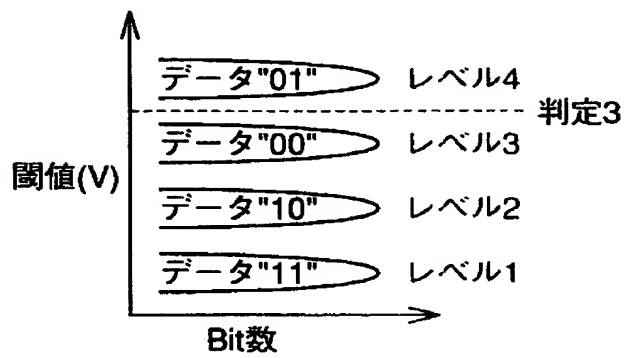
【図 2 3】



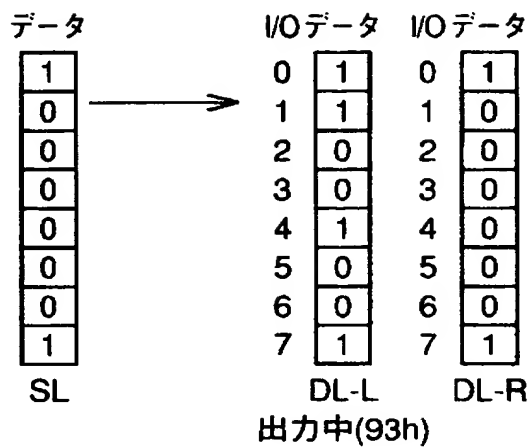
【図 2 4】



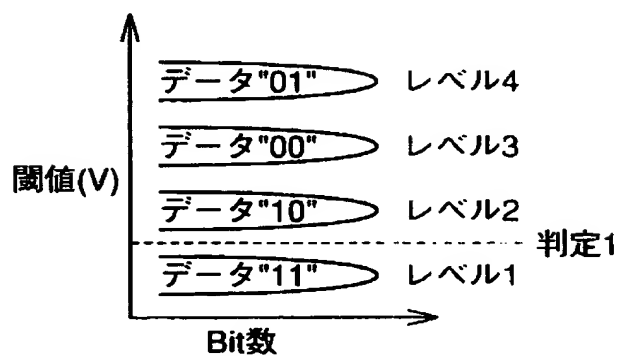
【図 2 5】



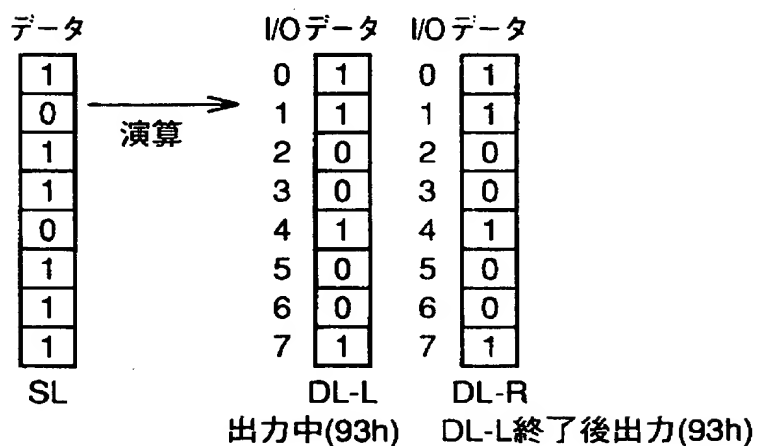
【図 2 6】



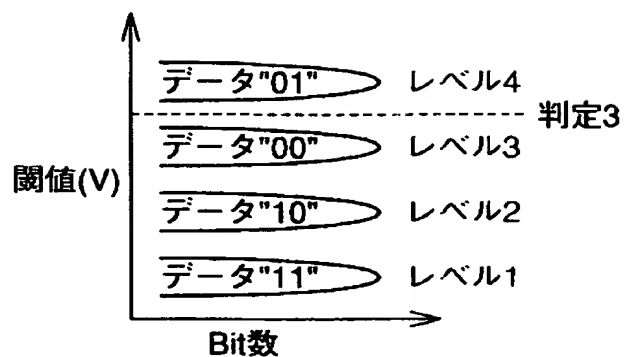
【図 2 7】



【図 2 8】

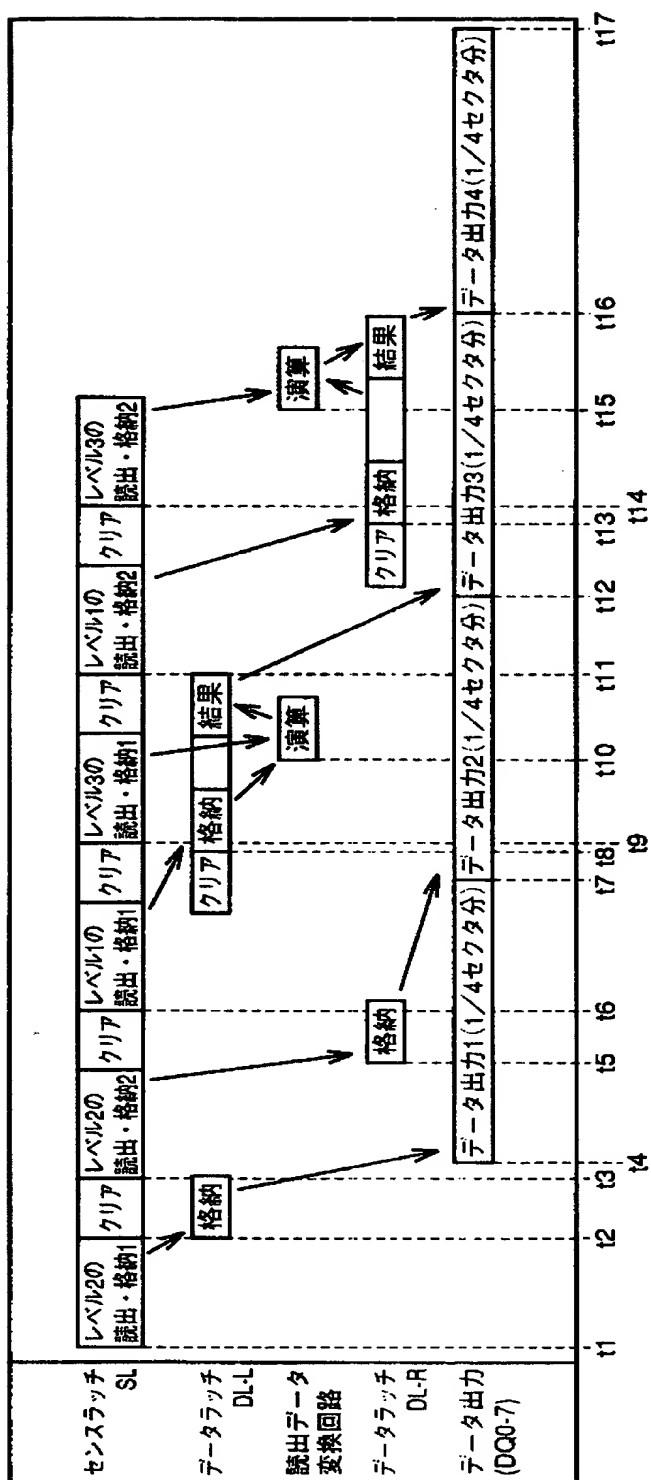


【図 2 9】

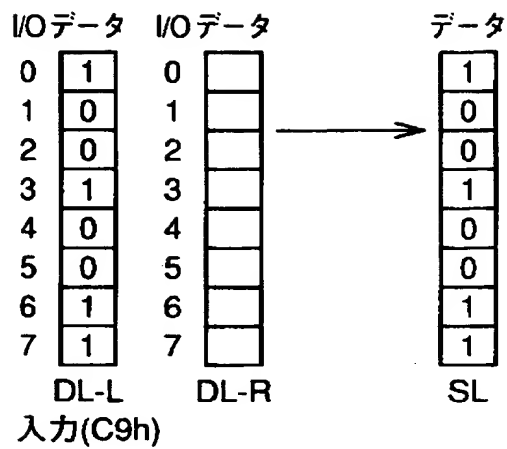




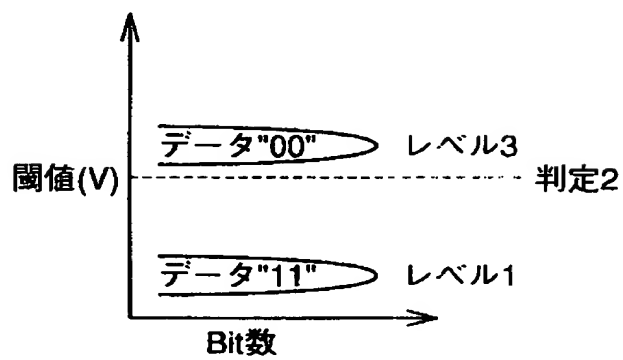
【图 30】



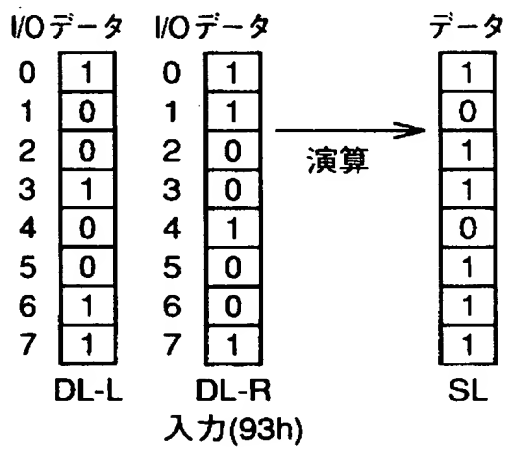
【図 3 1】



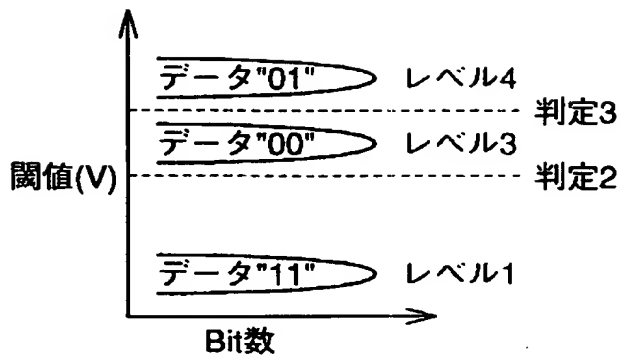
【図 3 2】



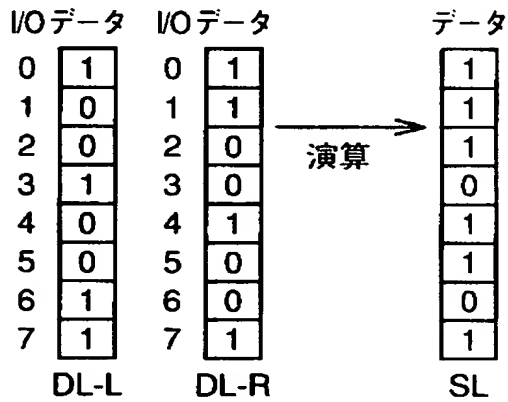
【図 3 3】



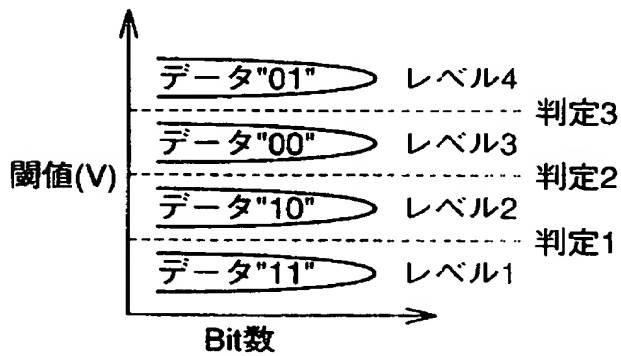
【図 3 4】



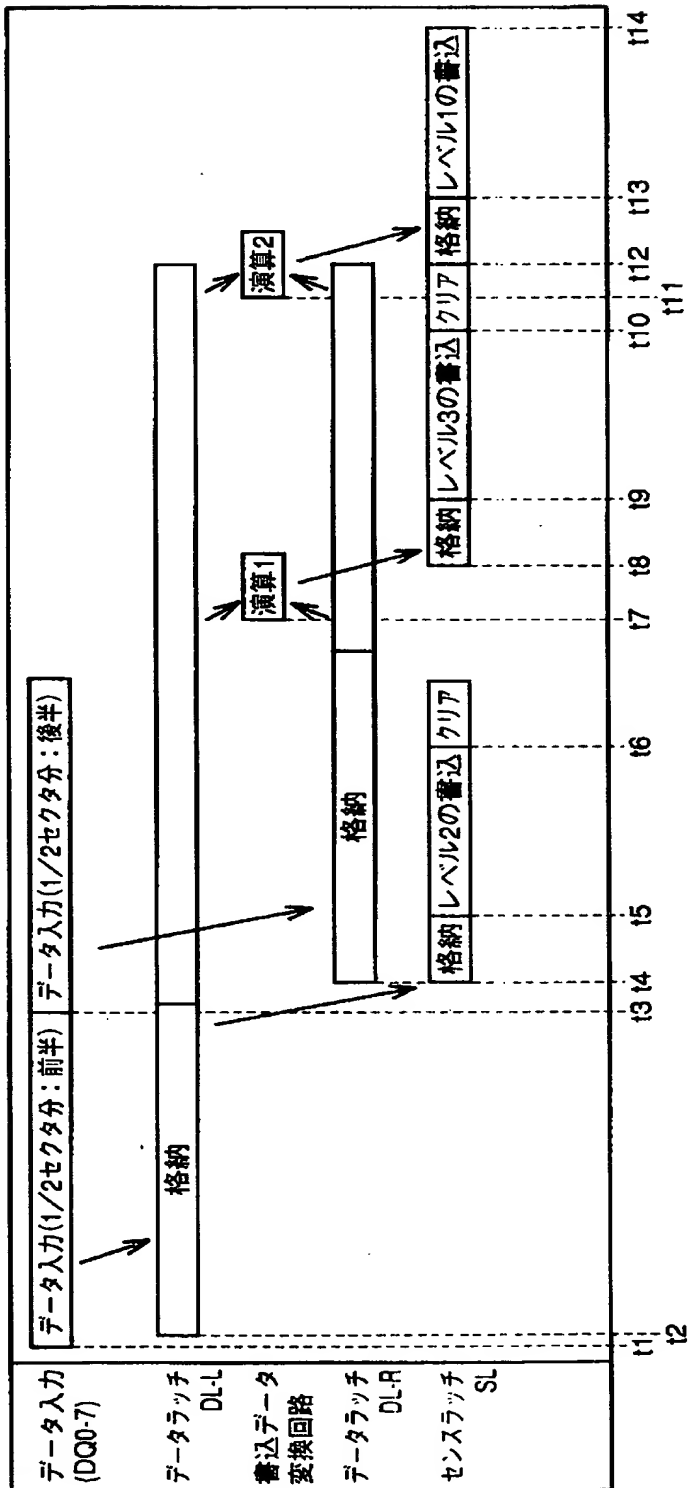
【図 3 5】



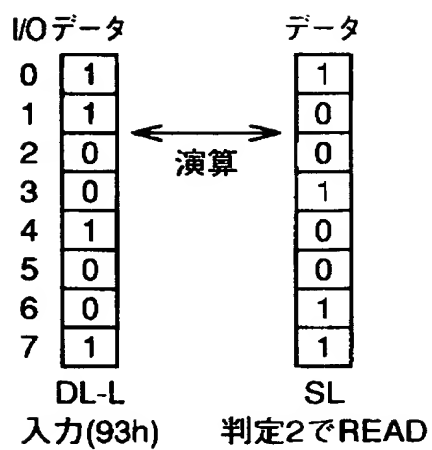
【図 3 6】



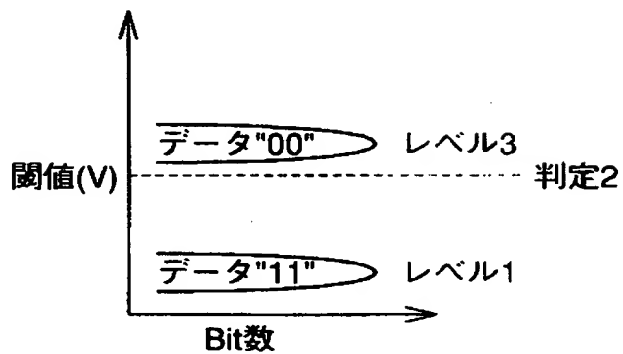
【図 3 7】



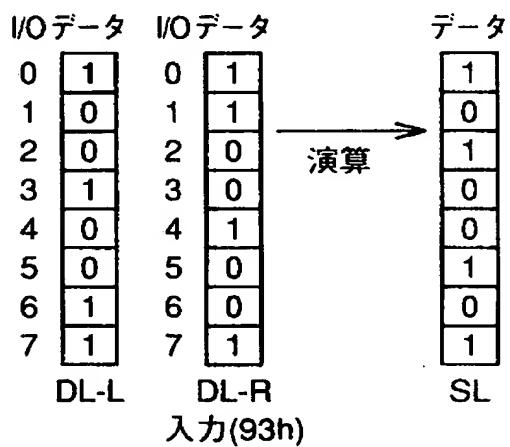
【図 3 8】



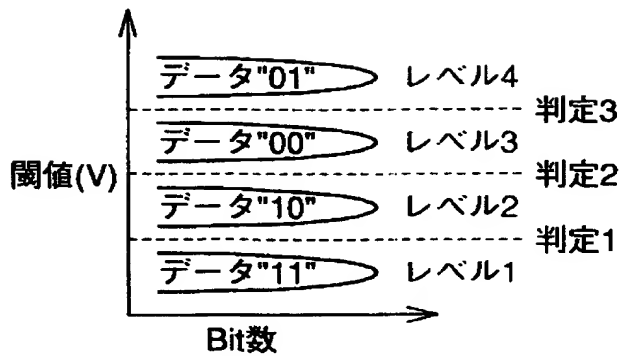
【図 3 9】



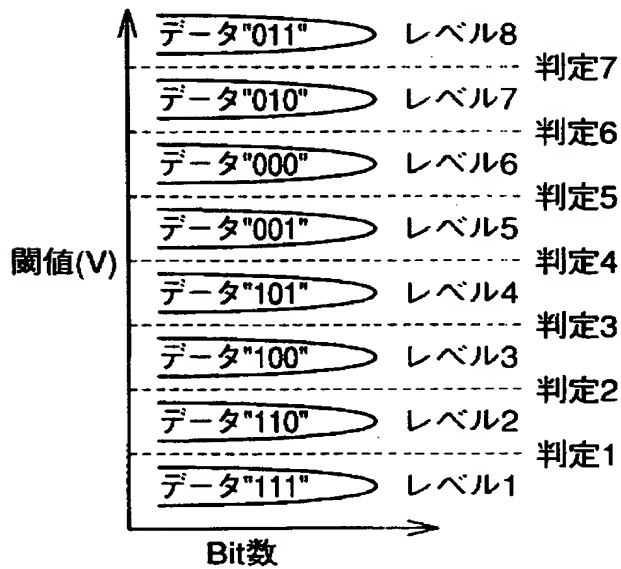
【図 4 0】



【図 4 1】



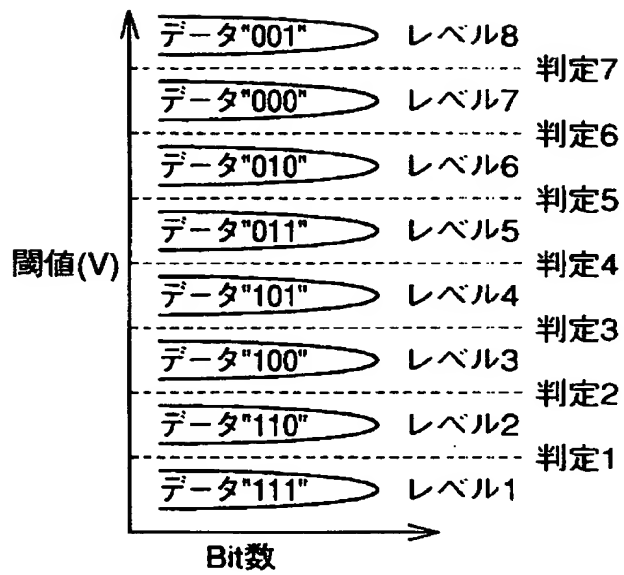
【図 4 2】



判定4で最上位確定  
判定2,6で中位確定  
判定1,3,5,7で最下位確定

OK

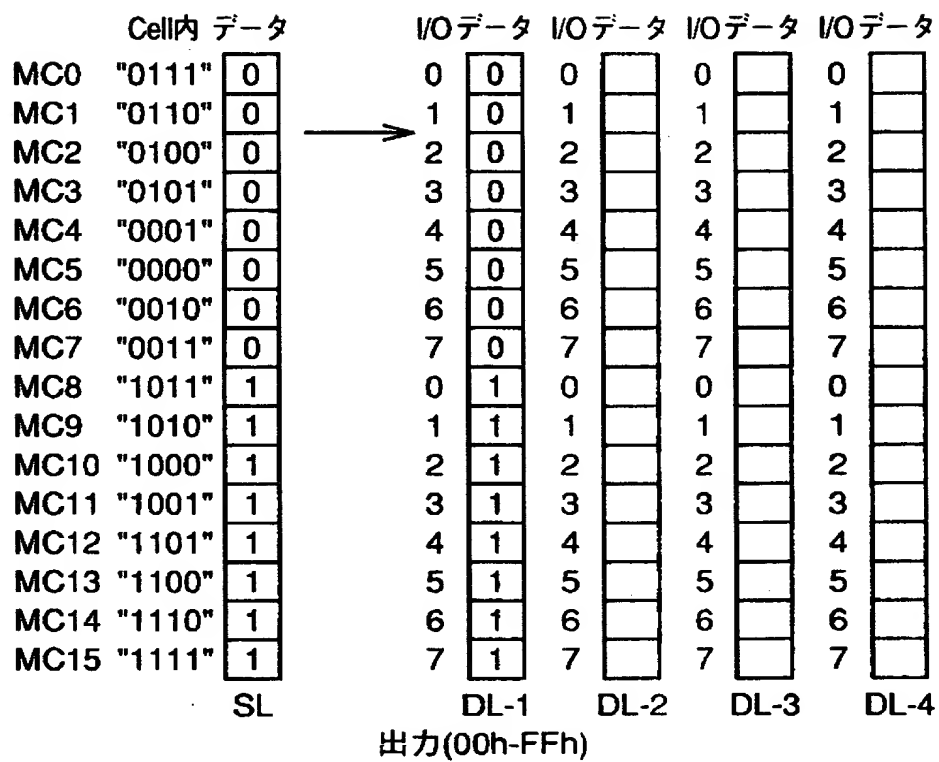
【図 4 3】



判定4で最上位確定  
 判定2,6ではレベル3,4,5,6での中位の"0""1"  
 確定しない  
 判定1,3,5,7で最下位確定

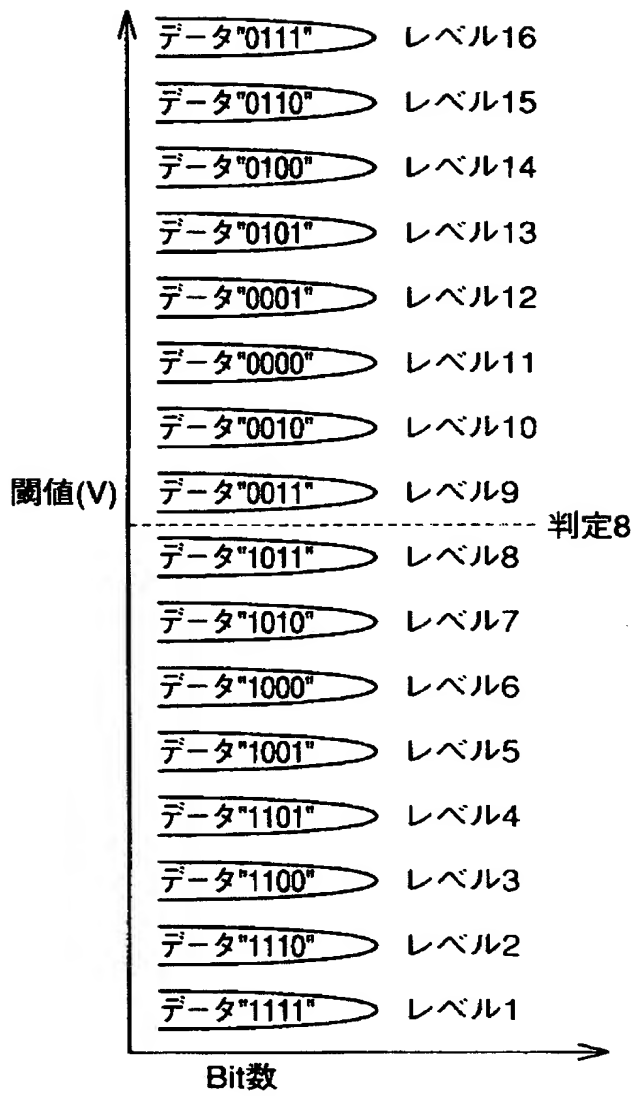
NG

【図 4 4】

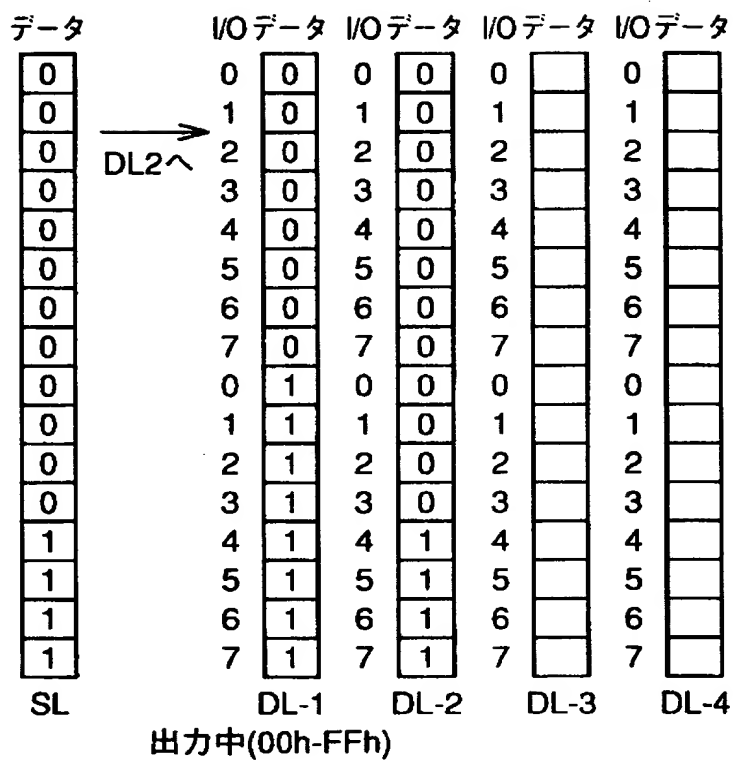




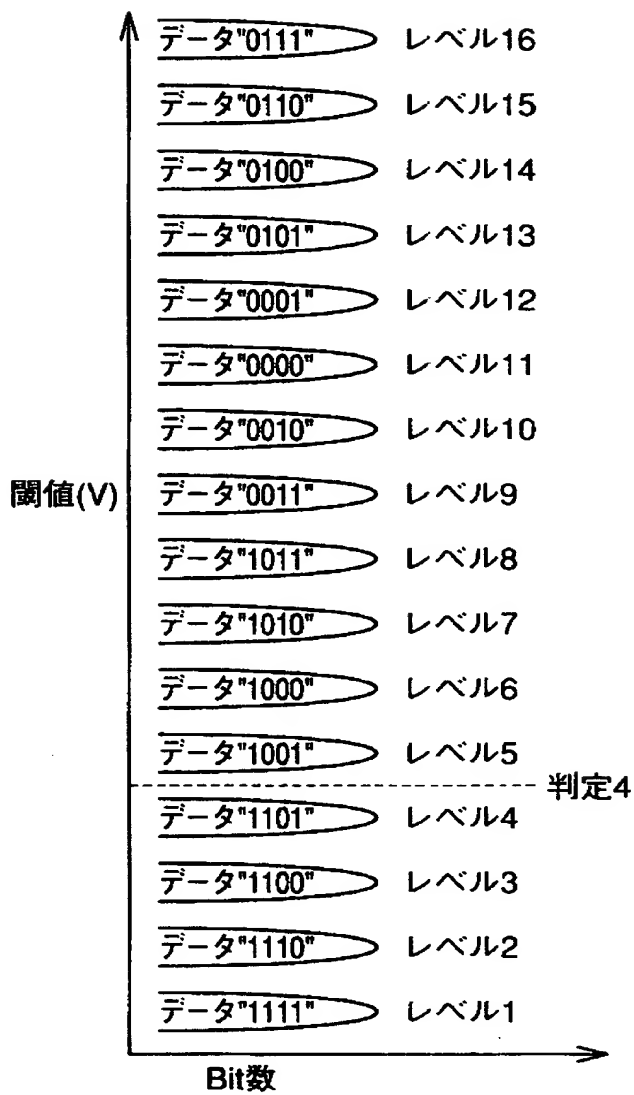
【図 4 5】



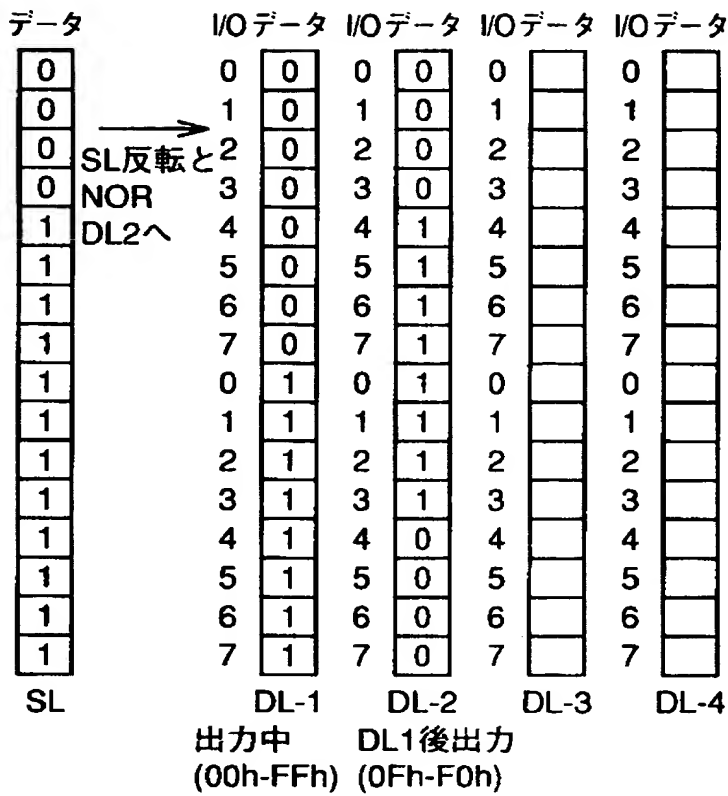
【図 4 6】



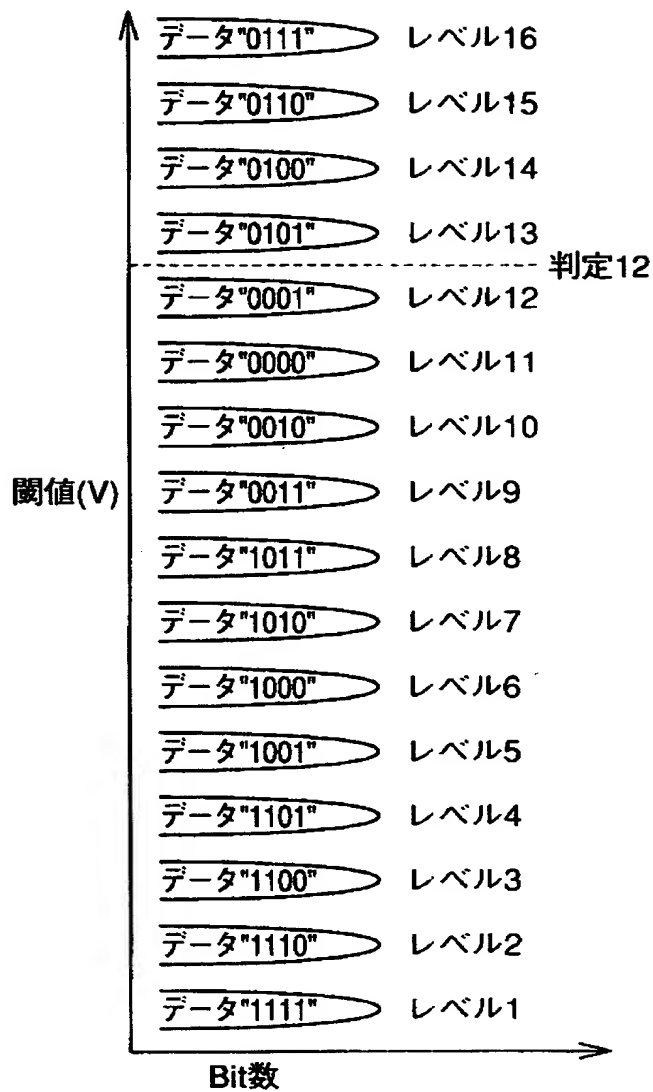
【図 4 7】



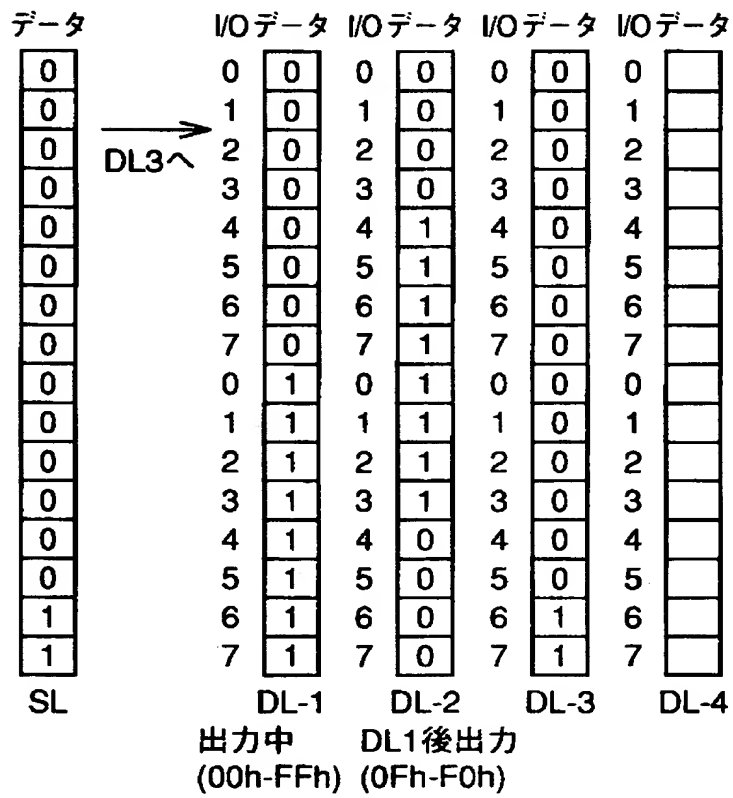
【図 4 8】



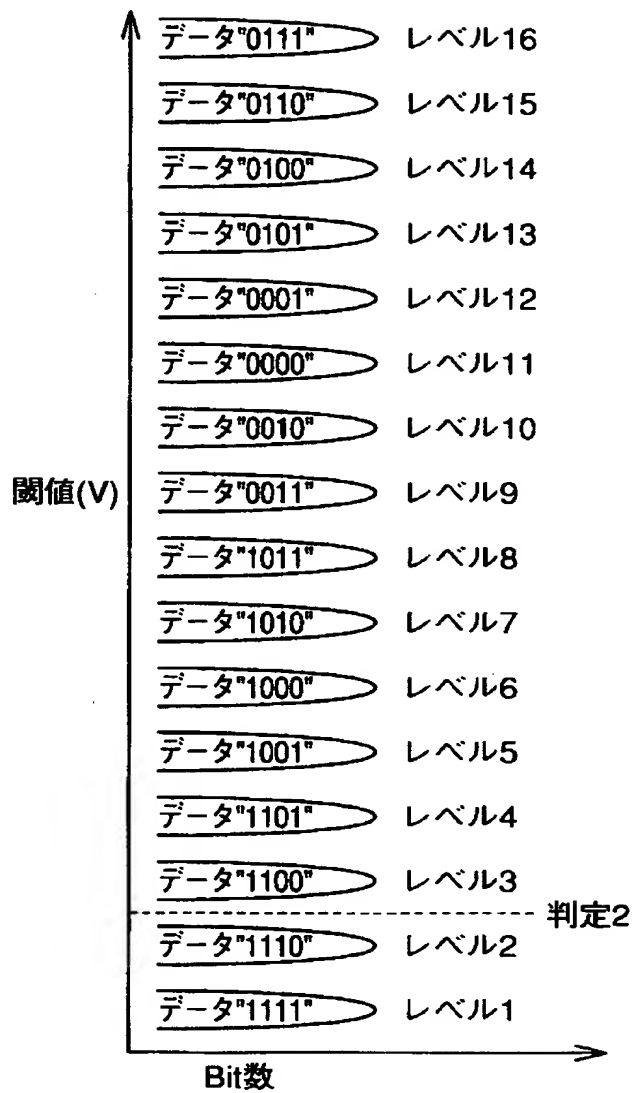
【図 4 9】



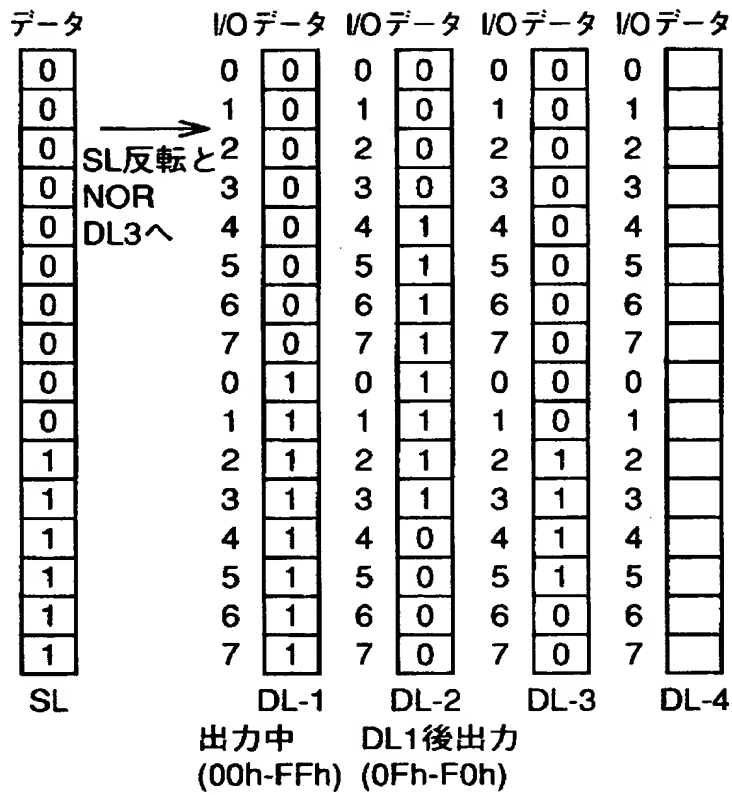
【図 5 0】



【図 5 1】

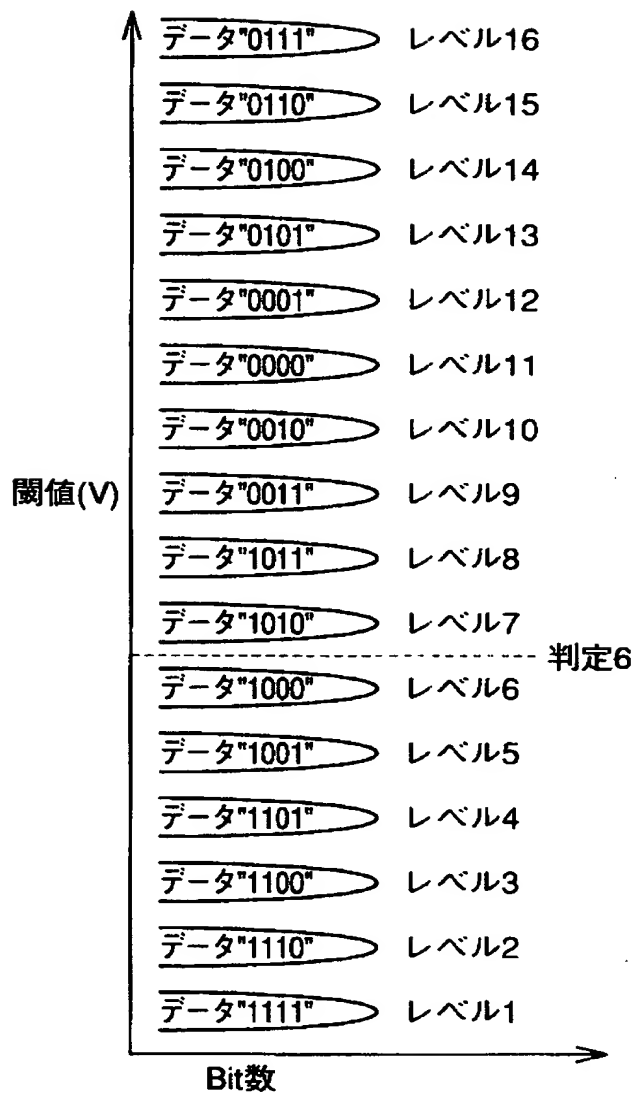


【図 5 2】

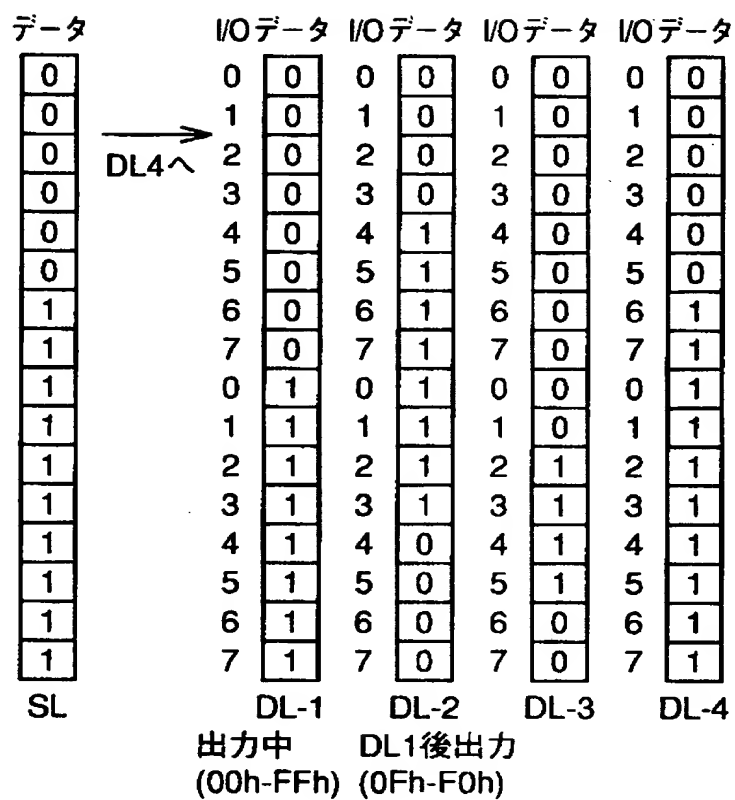




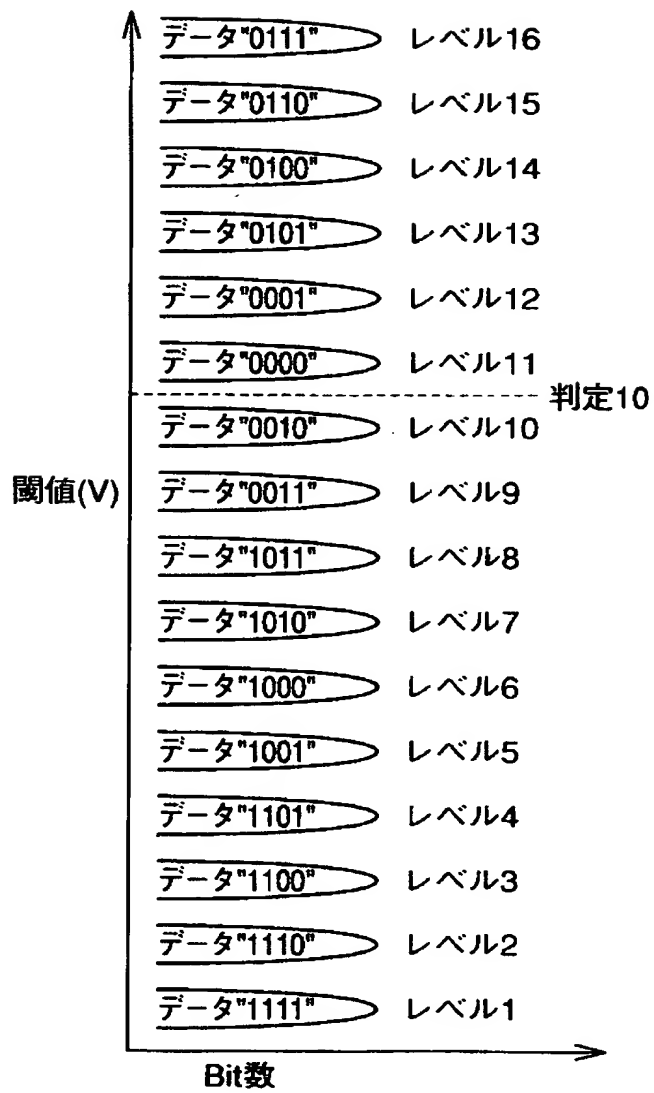
【図 5 3】



【図 5 4】



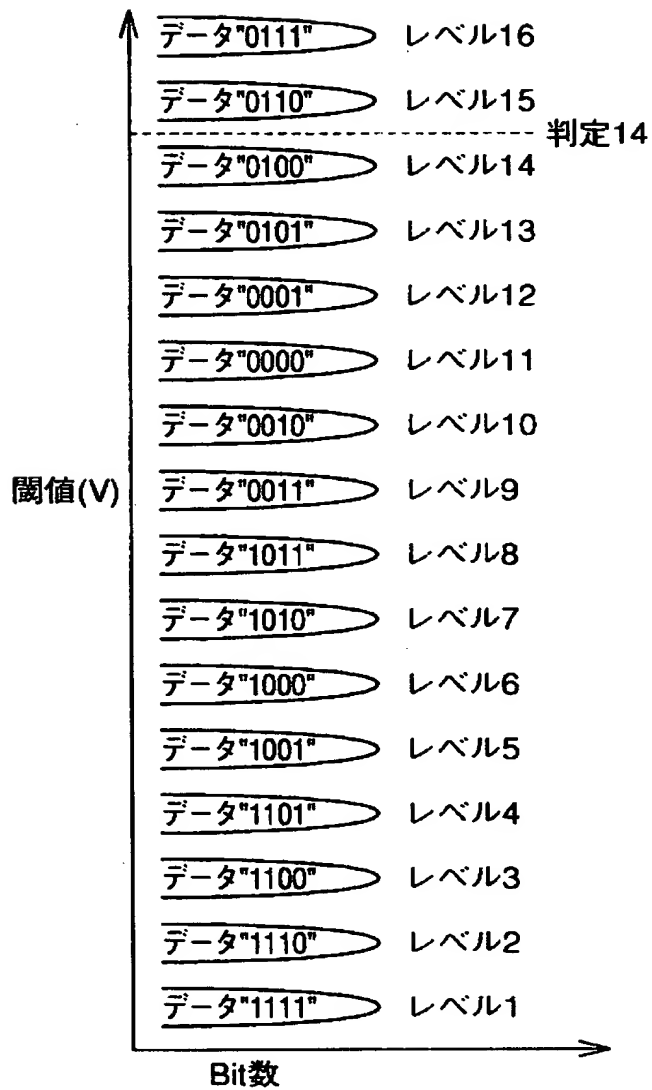
【図 5 5】



【図 5 6】

データ		I/Oデータ	I/Oデータ	I/Oデータ	I/Oデータ
0		0	0	0	0
0		1	0	1	0
1	→	2	0	2	0
1	SL反転と	3	0	3	0
1	DL4を	4	0	4	1
1	NOR	5	0	5	1
1	DL4へ	6	0	6	1
1		7	0	7	0
1		0	1	0	0
1		1	1	1	0
1		2	1	2	1
1		3	1	3	1
1		4	1	4	0
1		5	1	5	0
1		6	1	6	0
1		7	1	7	0
SL		DL-1	DL-2	DL-3	DL-4
		出力中	DL1後出力		
		(00h-FFh)	(0Fh-F0h)		

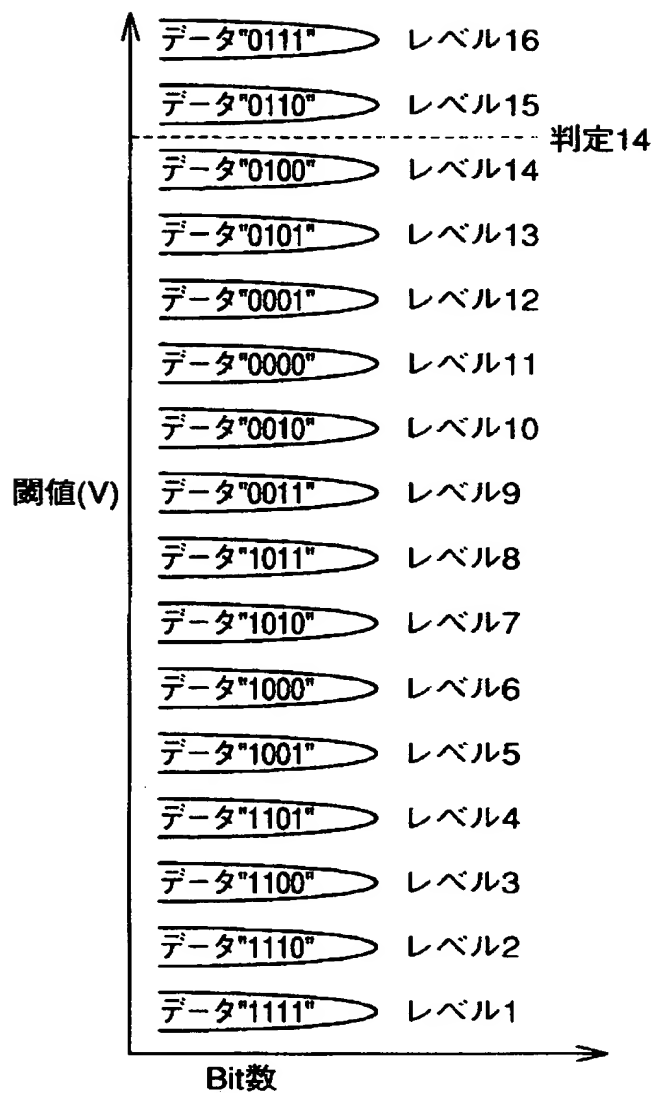
【図 5 7】



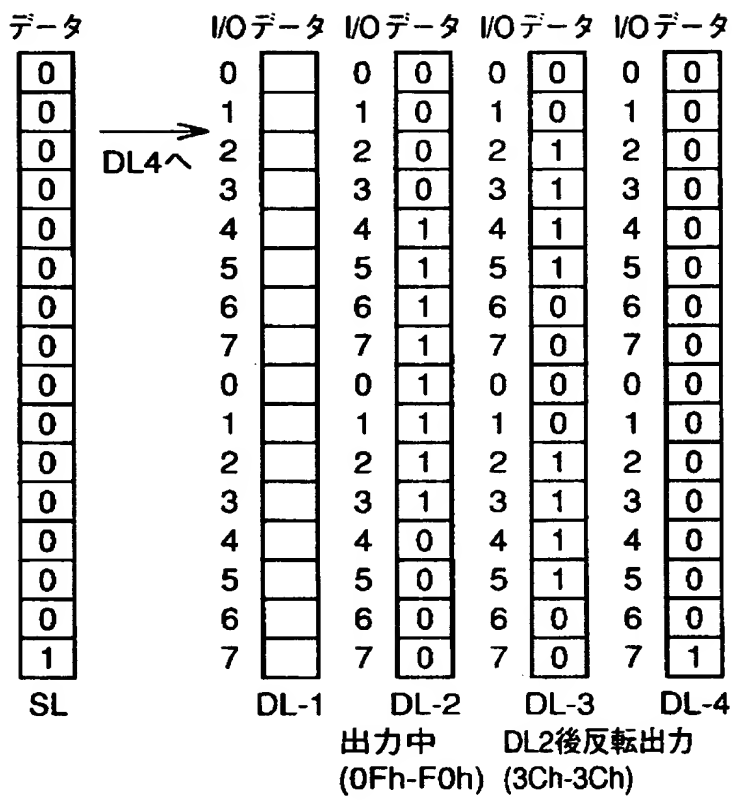
【図 5 8】

データ	I/O データ	I/O データ	I/O データ	I/O データ
	0 0	0 0	0 0	0
	1 0	1 0	1 0	1
	2 0	2 0	2 1	2
	3 0	3 0	3 1	3
	4 0	4 1	4 1	4
	5 0	5 1	5 1	5
	6 0	6 1	6 0	6
	7 0	7 1	7 0	7
	0 1	0 1	0 0	0
	1 1	1 1	1 0	1
	2 1	2 1	2 1	2
	3 1	3 1	3 1	3
	4 1	4 0	4 1	4
	5 1	5 0	5 1	5
	6 1	6 0	6 0	6
	7 1	7 0	7 0	7
SL	DL-1	DL-2	DL-3	DL-4
	出力中	DL1後出力	DL3とDL4	
	(00h-FFh)	(0Fh-F0h)	ORしてDL3へ	

【図 5 9】

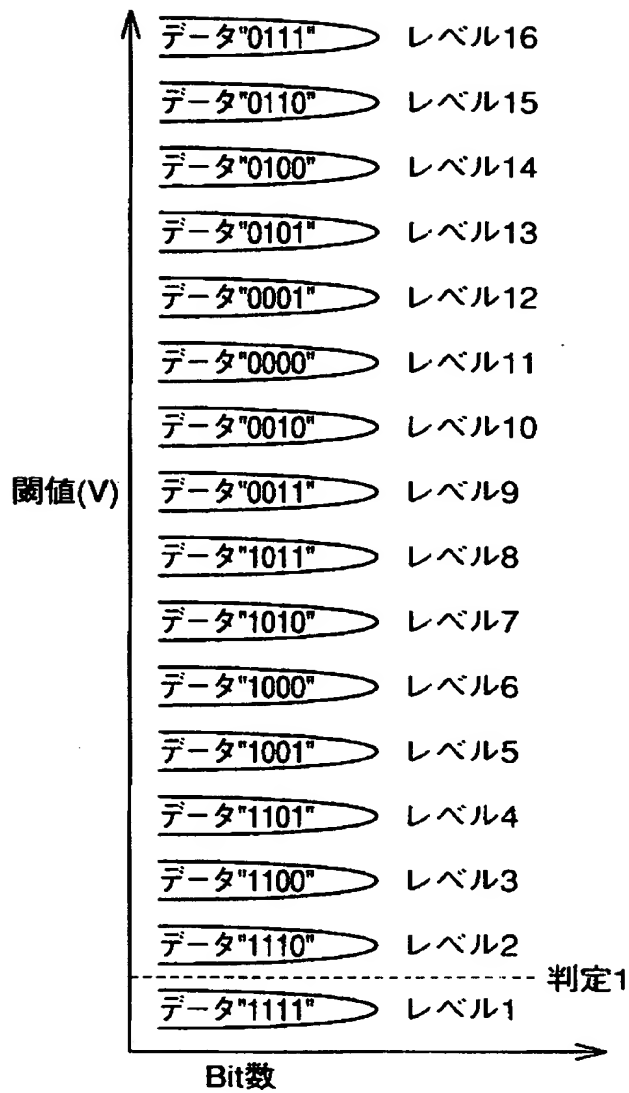


【図 6 0】





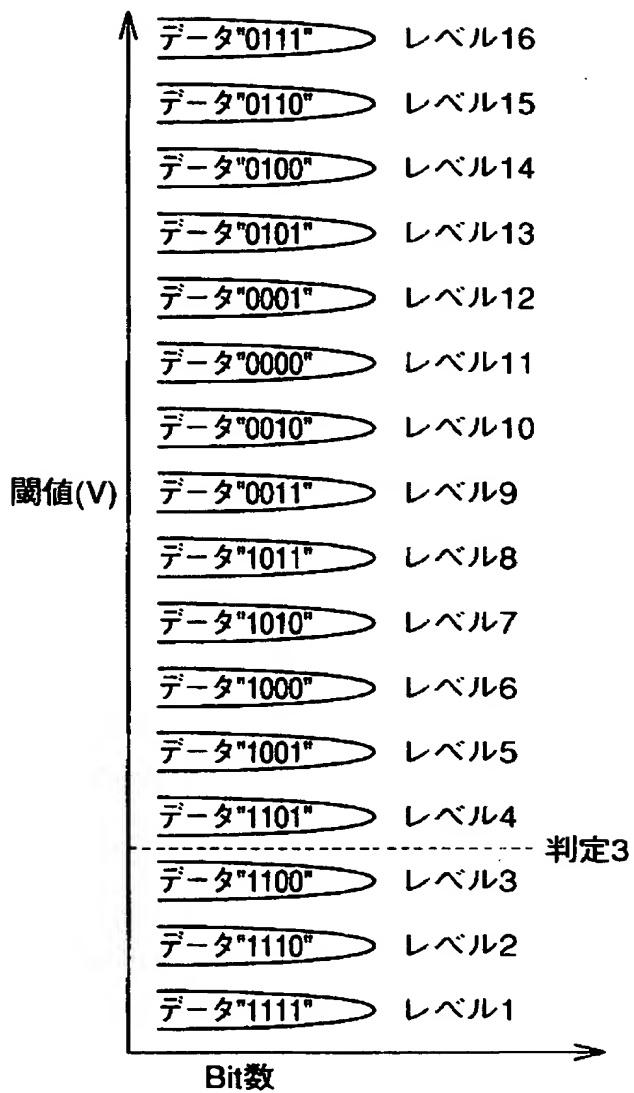
【図 6 1】



【図 6 2】

データ		I/Oデータ	I/Oデータ	I/Oデータ	I/Oデータ
0		0	0	0	0
0		1	0	1	0
0		2	0	2	1
0	→ SL反転してDL4とNOR DL4へ	3	0	3	1
0		4	1	4	1
0		5	1	5	1
0		6	1	6	0
0		7	1	7	0
0		0	1	0	0
0		1	1	1	0
0		2	1	2	1
0		3	1	3	1
0		4	0	4	1
1		5	0	5	1
1		6	0	6	0
1		7	0	7	0
SL		DL-1	DL-2	DL-3	DL-4
		出力中 (00h-FFh)		DL2後反転出力 (00h-FFh)	

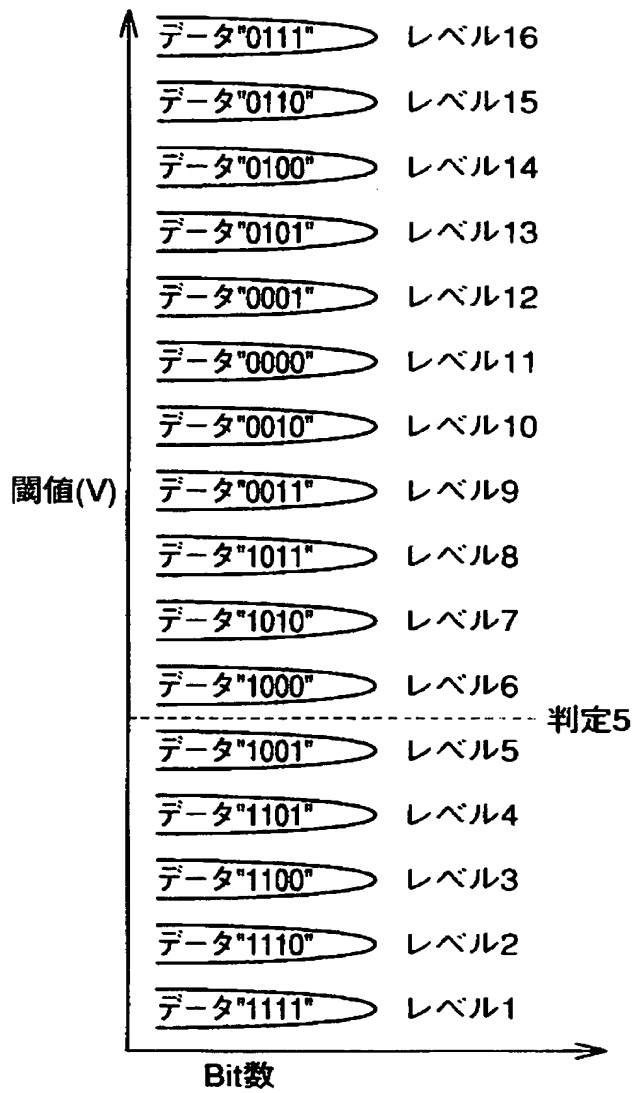
【図 6 3】



【図 6 4】

データ		I/Oデータ	I/Oデータ	I/Oデータ	I/Oデータ
0		0 0	0 0	0 0	0 0
0		1 0	1 0	1 0	1 0
0	DL1へ	2 0	2 0	2 1	2 0
0		3 0	3 0	3 1	3 0
0		4 0	4 1	4 1	4 0
0		5 0	5 1	5 1	5 0
0		6 0	6 1	6 0	6 0
0		7 0	7 1	7 0	7 0
0		0 0	0 1	0 0	0 0
0		1 0	1 1	1 0	1 0
0		2 0	2 1	2 1	2 0
1		3 1	3 1	3 1	3 0
1		4 1	4 0	4 1	4 0
1		5 1	5 0	5 1	5 1
1		6 1	6 0	6 0	6 1
1		7 1	7 0	7 0	7 0
SL		DL-1	DL-2	DL-3	DL-4
		出力中		DL2後反転出力	
		(0Fh-F0h)		(3Ch-3Ch)	

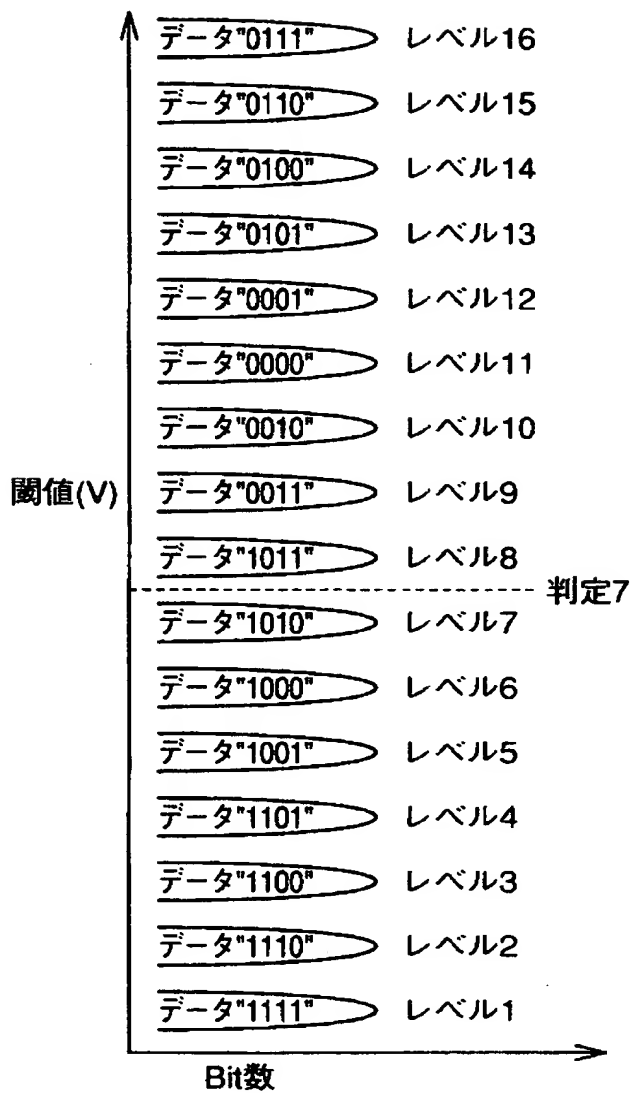
【図 6 5】



【図 6 6】

データ		I/Oデータ	I/Oデータ	I/Oデータ	I/Oデータ
0		0	0	0	0
0		1	0	1	0
0		2	0	2	1
0	→	3	0	3	1
0	SL反転	4	0	4	1
0	して	5	0	5	1
0	DL1と	6	0	6	0
0	NOR	7	0	7	0
0	DL1へ	0	0	0	0
0		1	1	1	0
1		2	1	2	1
1		3	0	3	1
1		4	0	4	1
1		5	0	5	1
1		6	0	6	0
1		7	0	7	0
SL		DL-1	DL-2	DL-3	DL-4
		出力中		DL2後反転出力	
		(00h-FFh)		(00h-FFh)	

【図 67】

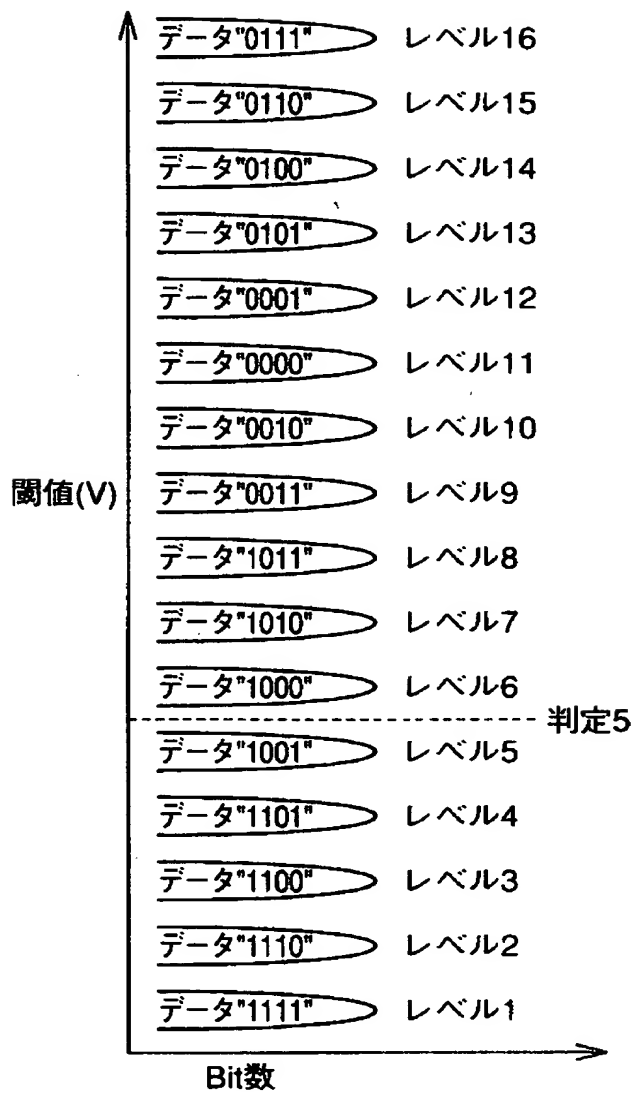


【図 6 8】

DL1とDL4をOR DL4へ															
データ		I/Oデータ		I/Oデータ		I/Oデータ		I/Oデータ							
データ		0	0	0	0	0	0	0	0						
		1	0	1	0	1	0	1	0						
		2	0	2	0	2	1	2	0						
		3	0	3	0	3	1	3	0						
		4	0	4	1	4	1	4	0						
		5	0	5	1	5	1	5	0						
		6	0	6	1	6	0	6	0						
		7	0	7	1	7	0	7	0						
		0	0	0	1	0	0	0	0						
		1	1	1	1	1	0	1	1						
		2	1	2	1	2	1	2	1						
		3	0	3	1	3	1	3	0						
		4	0	4	0	4	1	4	0						
		5	0	5	0	5	1	5	1						
		6	0	6	0	6	0	6	1						
		7	0	7	0	7	0	7	0						
SL		DL-1		DL-2		DL-3		DL-4							
出力中 DL2後反転出力															
(0Fh-F0h) (3Ch-3Ch)															



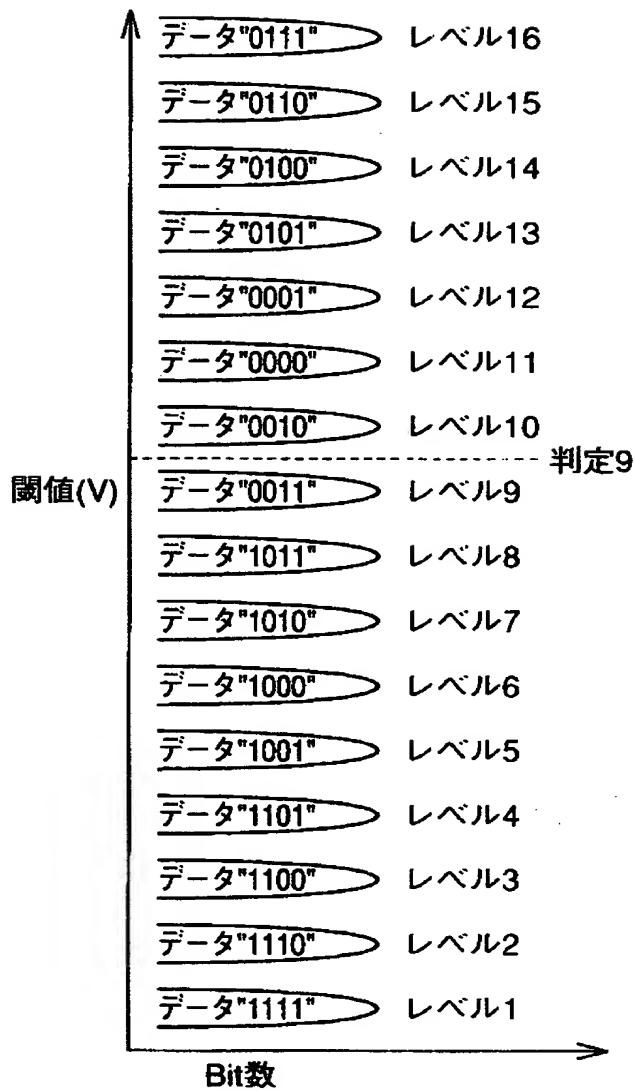
【図 69】



【図 7 0】

データ		I/Oデータ	I/Oデータ	I/Oデータ	I/Oデータ
0		0	0	0	0
0		1	0	1	0
0	DL1へ	2	0	2	1
0		3	0	3	1
0		4	0	4	1
0		5	0	5	1
0		6	0	6	0
1		7	1	7	0
1		0	1	0	0
1		1	1	1	0
1		2	1	2	1
1		3	1	3	1
1		4	1	4	0
1		5	1	5	1
1		6	1	6	0
1		7	1	7	0
SL		DL-1	DL-2	DL-3	DL-4
		出力中		DL2後反転出力	
		(00h-FFh)		(00h-FFh)	

【図 7 1】

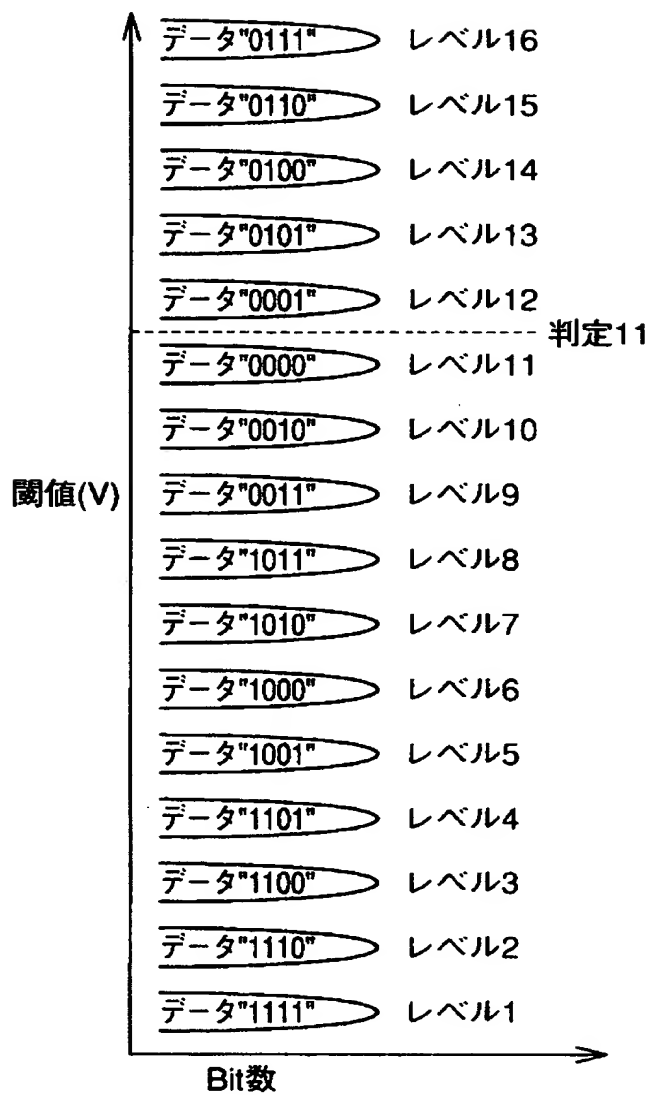


【図 7 2】

データ		I/Oデータ	I/Oデータ	I/Oデータ	I/Oデータ
0		0	0	0	0
0		1	0	1	0
0	→	2	0	2	1
0	SL反転と	3	0	3	1
0	DL1を	4	0	4	1
1	NOR	5	1	5	1
1	DL1へ	6	1	6	0
1		7	0	7	0
1		0	0	0	0
1		1	0	1	0
1		2	0	2	1
1		3	0	3	1
1		4	0	4	1
1		5	0	5	1
1		6	0	6	0
1		7	0	7	0
SL		DL-1	DL-2	DL-3	DL-4

出力中 DL2後反転出力  
(00h-FFh) (00h-FFh)

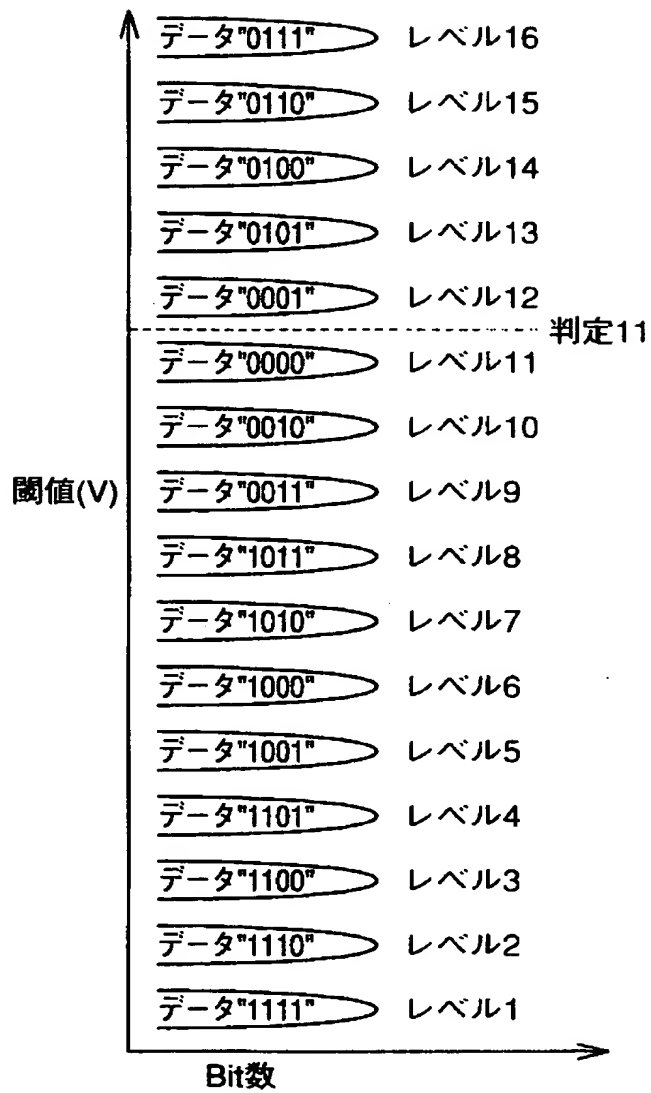
【図 7 3】



【図 7 4】

DL1とDL4をOR DL4へ															
データ		I/Oデータ		I/Oデータ		I/Oデータ		I/Oデータ							
SL		0	0	0	0	0	0	0	0						
		1	0	1	0	1	0	1	0						
		2	0	2	0	2	1	2	0						
		3	0	3	0	3	1	3	0						
		4	0	4	1	4	1	4	0						
		5	1	5	1	5	1	5	1						
		6	1	6	1	6	0	6	1						
		7	0	7	1	7	0	7	0						
		0	0	0	1	0	0	0	0						
		1	0	1	1	1	0	1	1						
		2	0	2	1	2	1	2	1						
		3	0	3	1	3	1	3	0						
		4	0	4	0	4	1	4	0						
		5	0	5	0	5	1	5	1						
		6	0	6	0	6	0	6	1						
		7	0	7	0	7	0	7	0						
SL		DL-1		DL-2		DL-3		DL-4							
出力中 DL2後反転出力															
(0Fh-F0h) (3Ch-3Ch)															

【図 7 5】

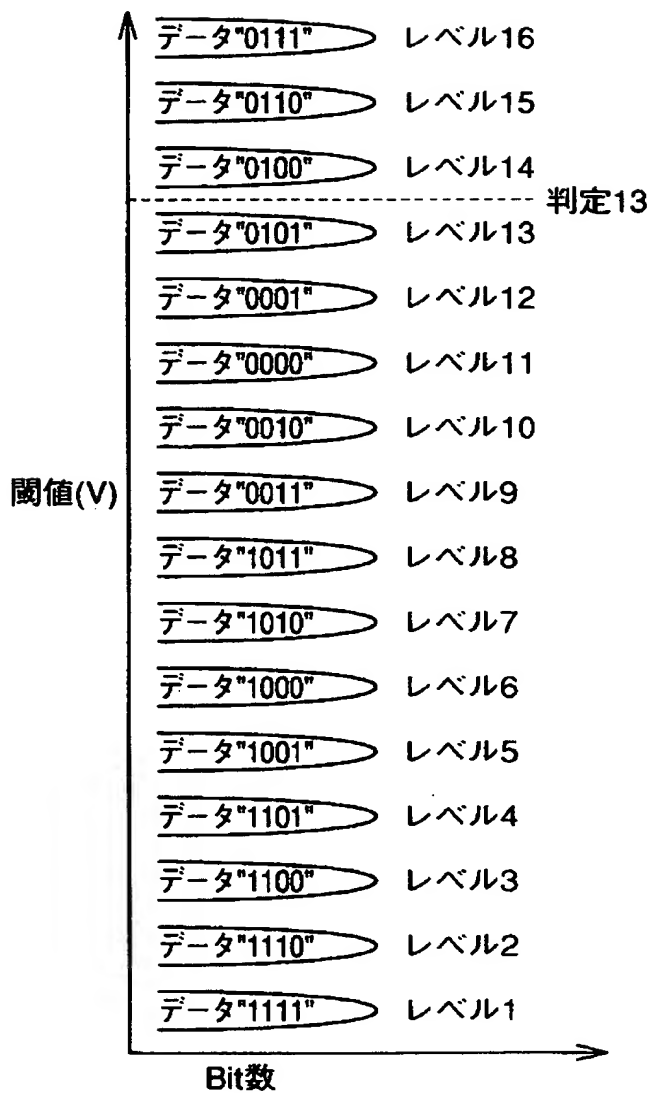


【図 7 6】

データ		I/Oデータ	I/Oデータ	I/Oデータ	I/Oデータ
0		0	0	0	0
0		1	0	1	0
0	DL1へ	2	0	2	1
1		3	1	3	1
1		4	1	4	1
1		5	1	5	1
1		6	1	6	0
1		7	1	7	0
1		0	1	0	0
1		1	1	1	0
1		2	1	2	1
1		3	1	3	1
1		4	1	4	1
1		5	1	5	1
1		6	1	6	0
1		7	1	7	0
SL		DL-1	DL-2	DL-3	DL-4
		出力中		DL2後反転出力	
		(00h-FFh)		(00h-FFh)	



【図 7 7】



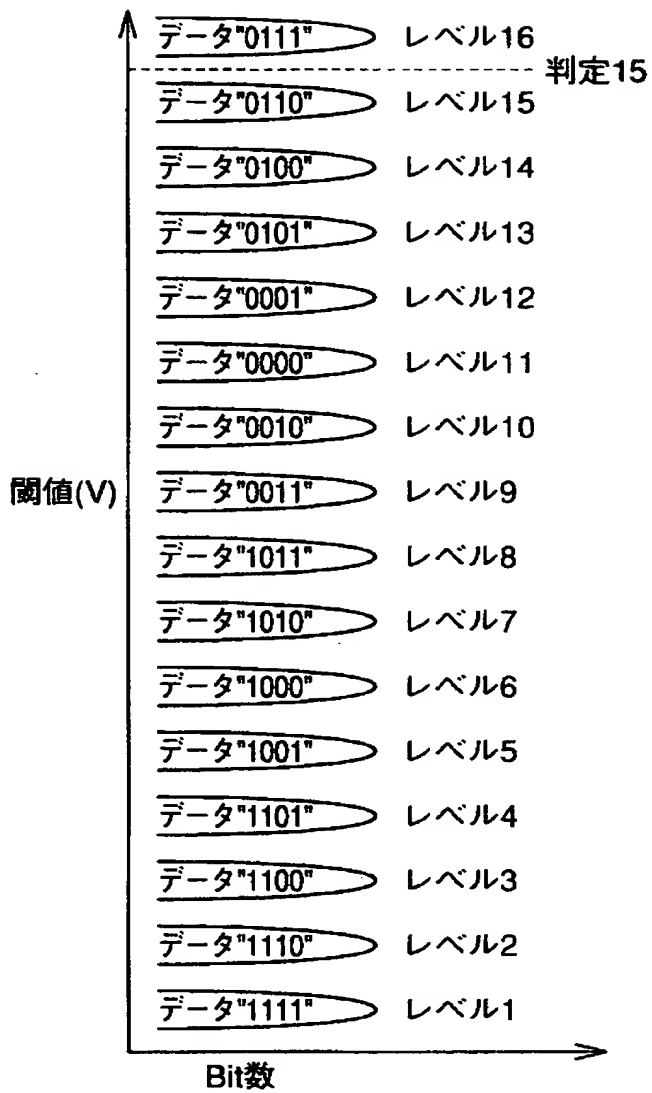
【図 7 8】

DL1とDL4をOR DL4へ

データ		I/Oデータ	I/Oデータ	I/Oデータ	I/Oデータ	I/Oデータ
0		0	0	0	0	0
1		1	1	1	0	1
1	→	2	1	2	0	2
1	SL反転と	3	0	3	0	3
1	DL1を	4	0	4	1	4
1	NOR	5	0	5	1	5
1	DL1へ	6	0	6	1	6
1		7	0	7	1	7
1		0	0	0	1	0
1		1	0	1	1	1
1		2	0	2	1	2
1		3	0	3	1	3
1		4	0	4	1	4
1		5	0	5	1	5
1		6	0	6	0	6
1		7	0	7	0	7
SL		DL-1	DL-2	DL-3	DL-4	

出力中      DL2後反転出力  
(0Fh-F0h)   (3Ch-3Ch)

【図 7 9】



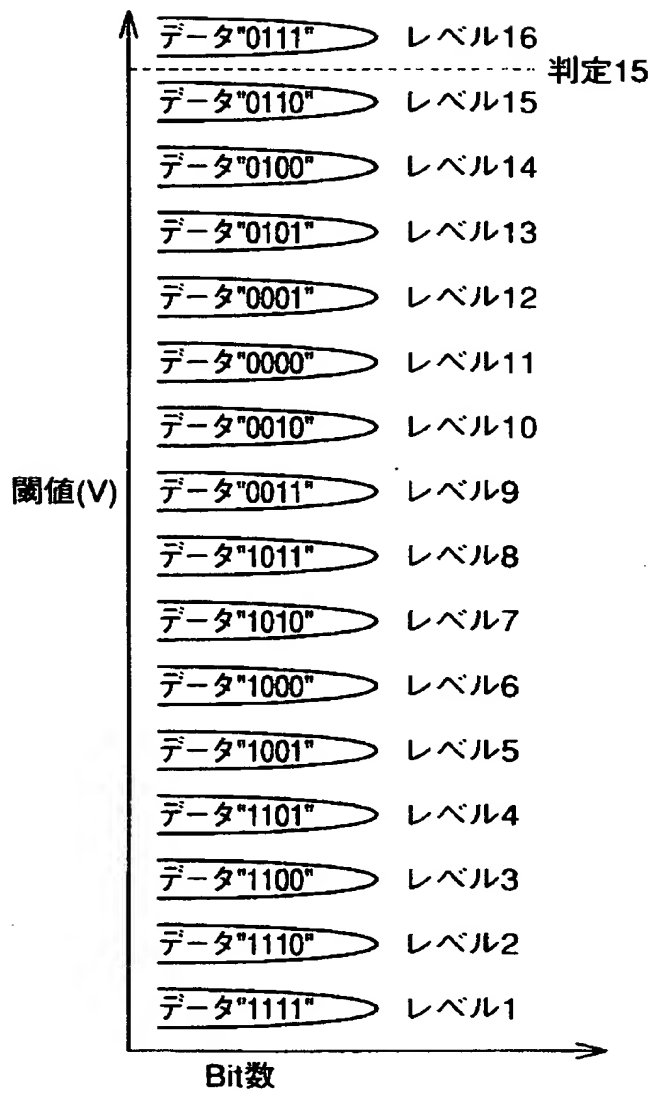
【図 8 0】

DL1とDL4をOR DL4へ

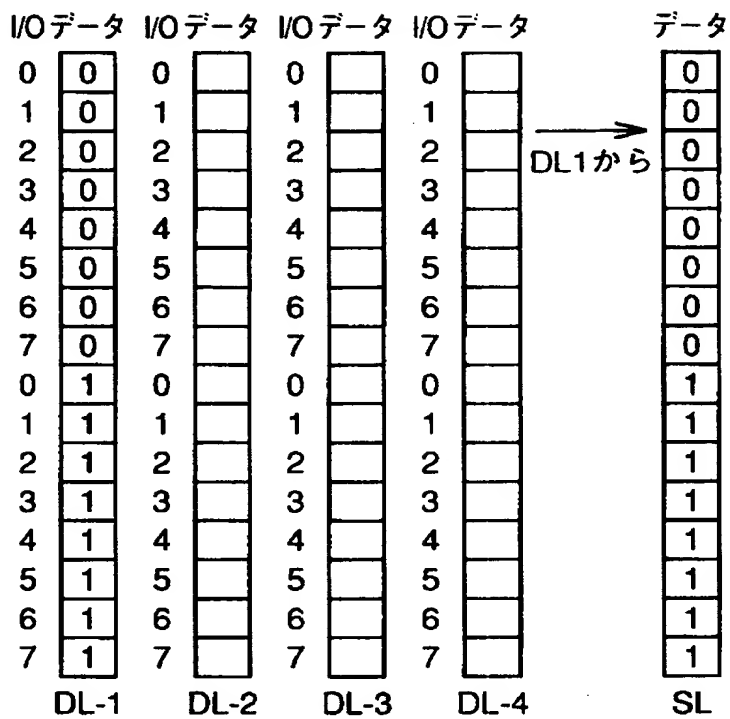
データ	I/Oデータ	I/Oデータ	I/Oデータ	I/Oデータ
	0 0	0 0	0 0	0 0
	1 1	1 0	1 0	1 1
	2 1	2 0	2 1	2 1
	3 0	3 0	3 1	3 0
	4 0	4 1	4 1	4 0
	5 0	5 1	5 1	5 1
	6 0	6 1	6 0	6 1
	7 0	7 1	7 0	7 0
	0 0	0 1	0 0	0 0
	1 0	1 1	1 0	1 1
	2 0	2 1	2 1	2 1
	3 0	3 1	3 1	3 0
	4 0	4 0	4 1	4 0
	5 0	5 0	5 1	5 1
	6 0	6 0	6 0	6 1
	7 0	7 0	7 0	7 0
SL	DL-1	DL-2	DL-3	DL-4

出力中      DL2後反転出力  
(0Fh-F0h)   (3Ch-3Ch)

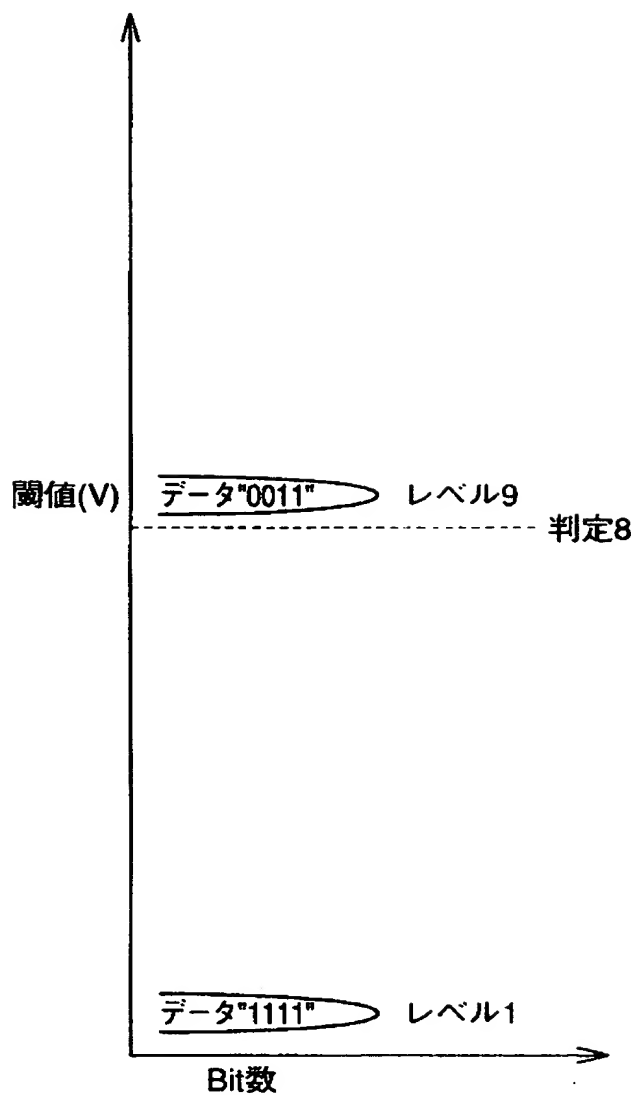
【図 8 1】



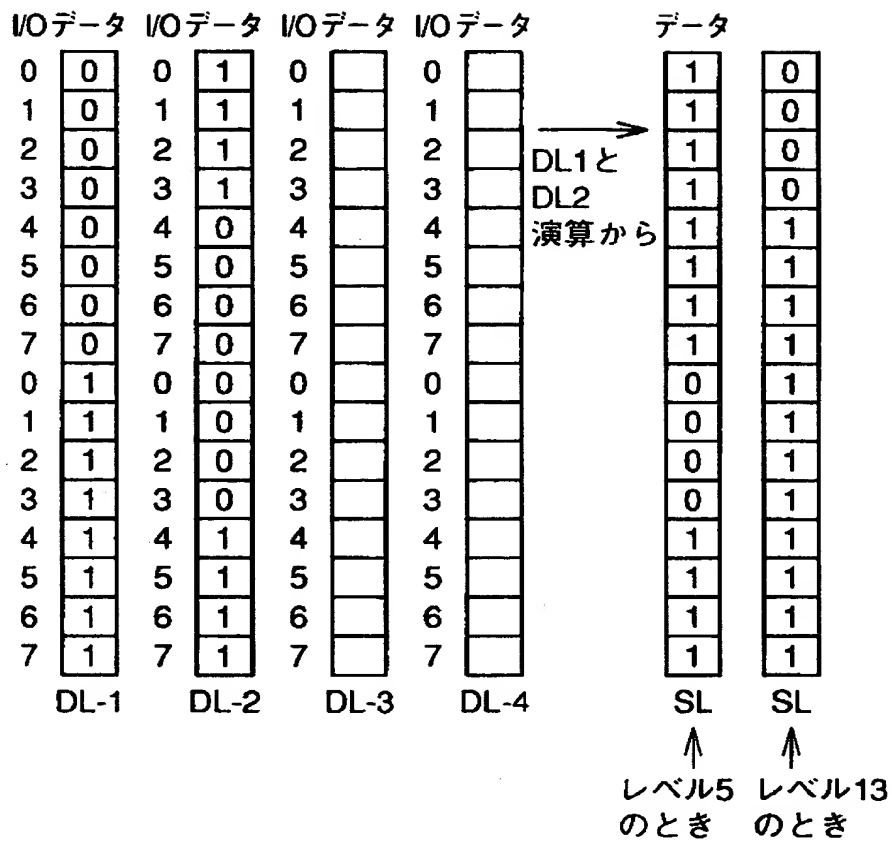
【図 8 2】



【図 8 3】

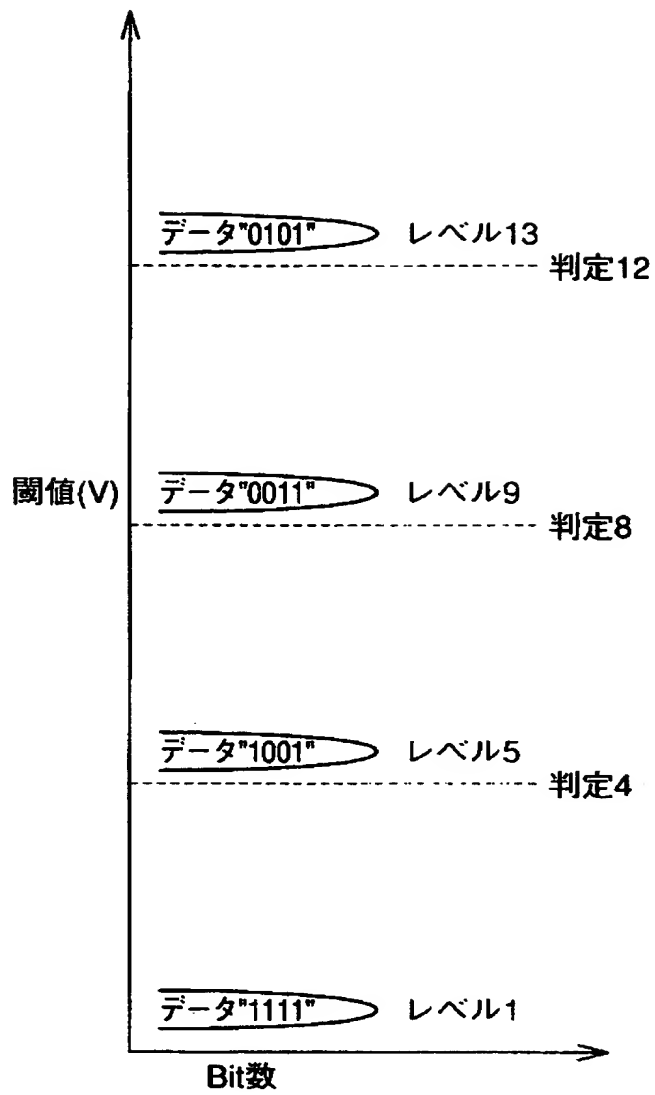


【図 8 4】

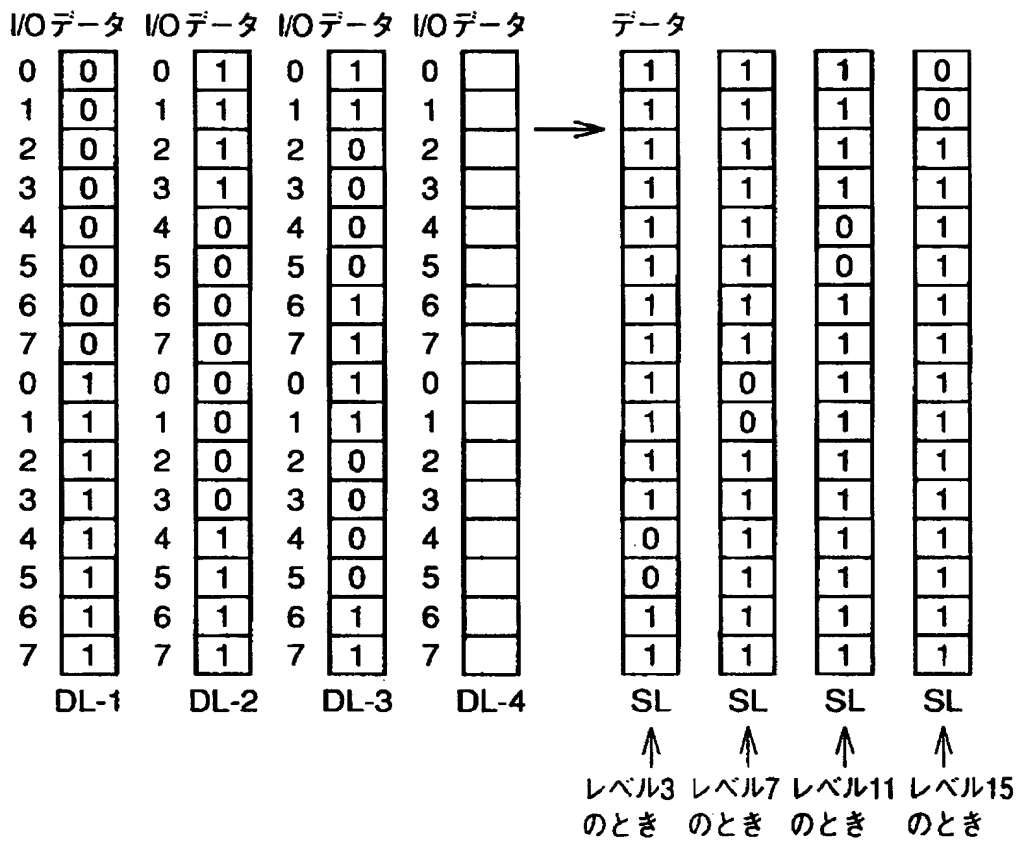




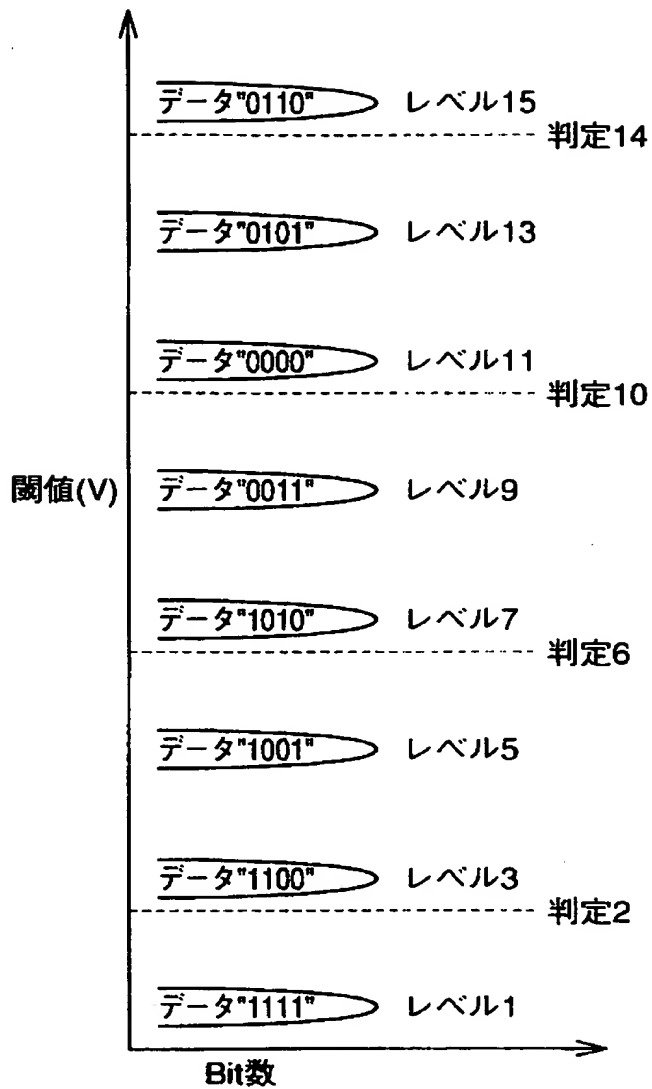
【図 8 5】



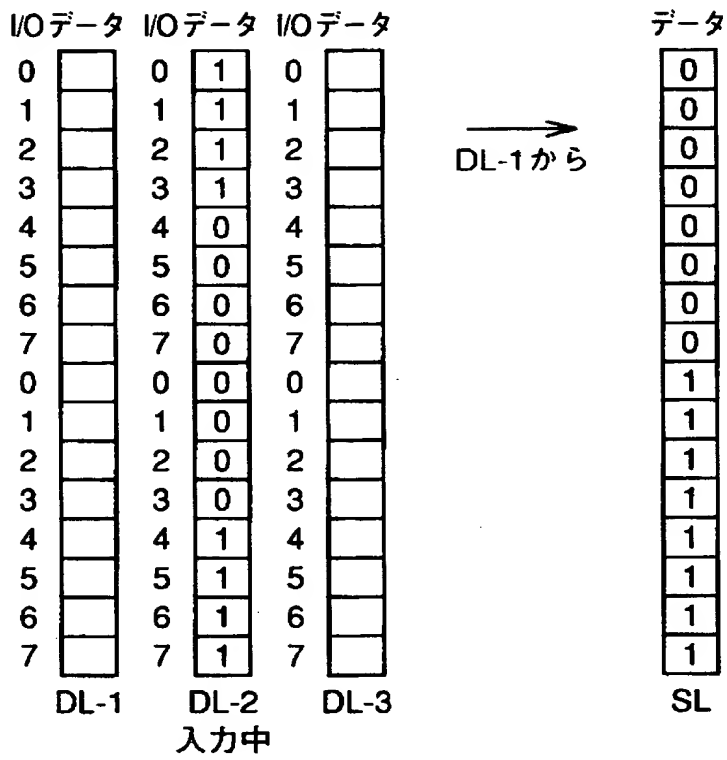
【図 8 6】



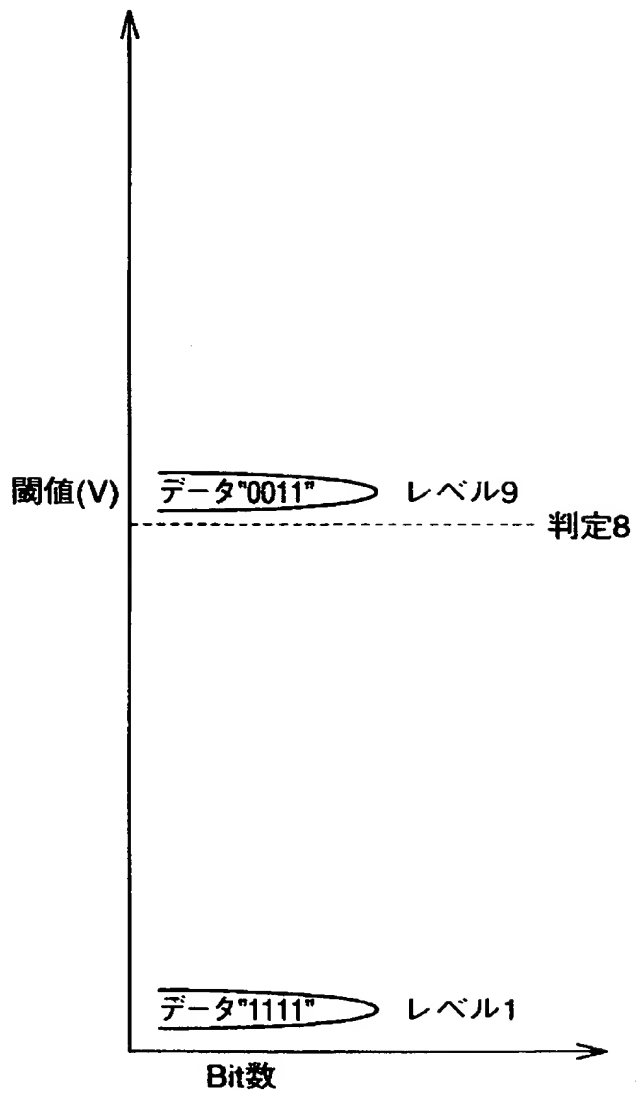
【図 8 7】



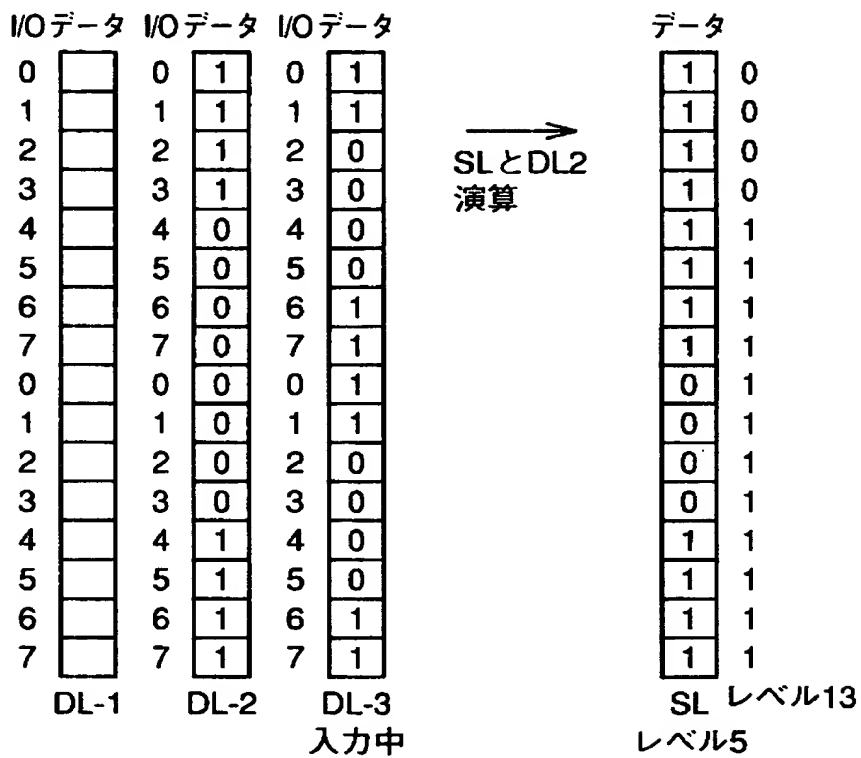
【図 8 8】



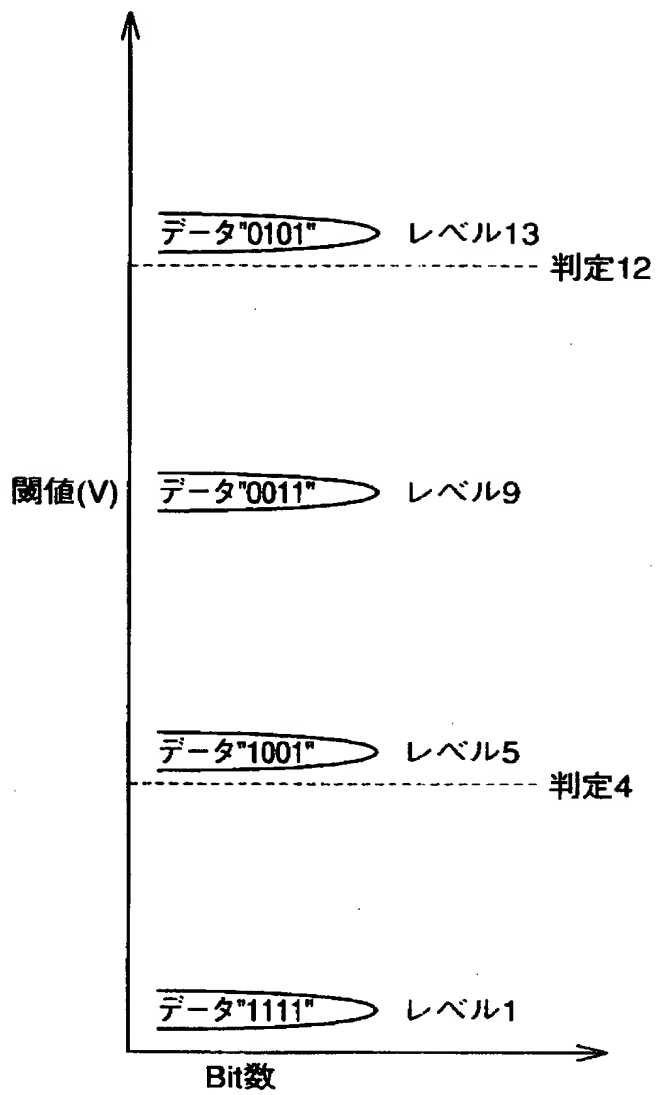
【図 89】



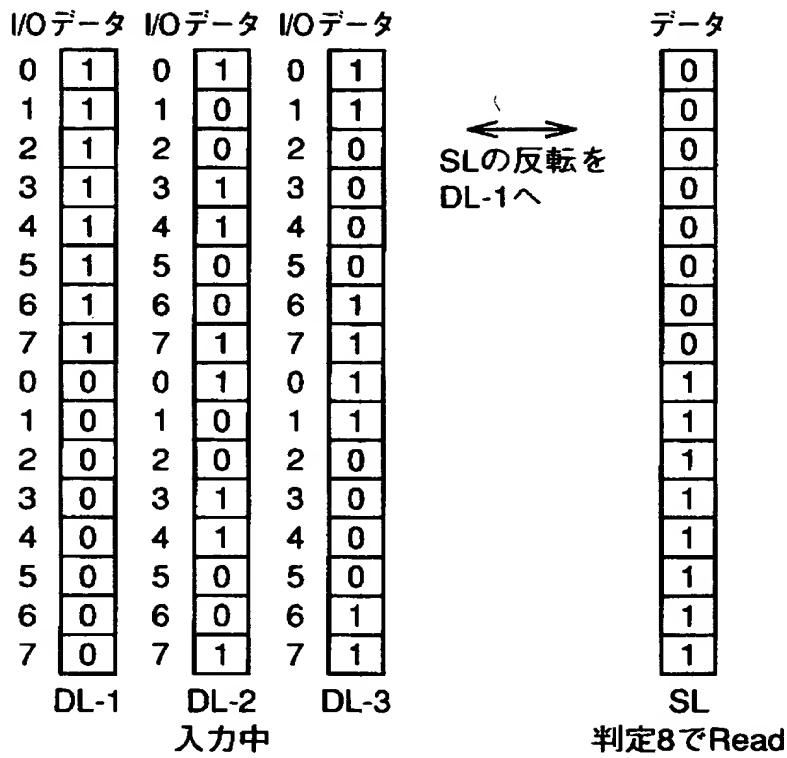
【図 9 0】



【図 9 1】

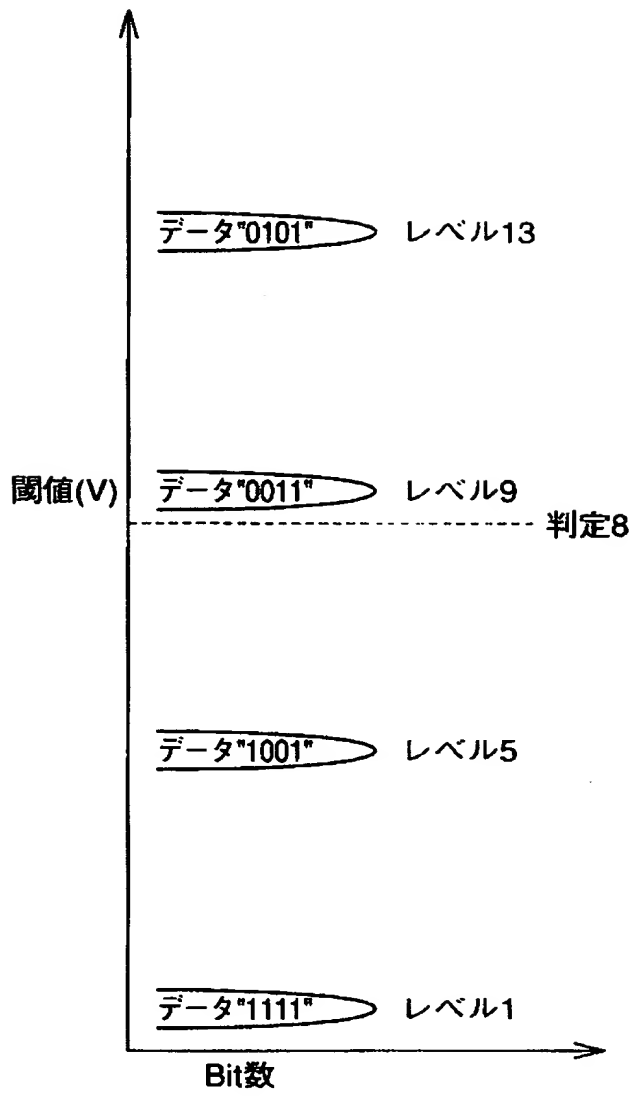


【図 9 2】

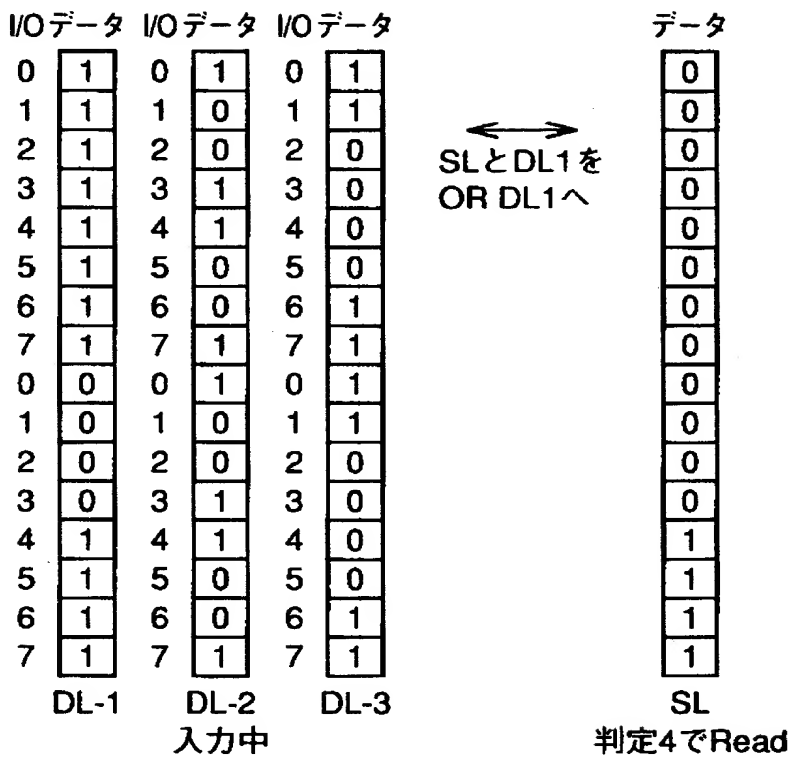




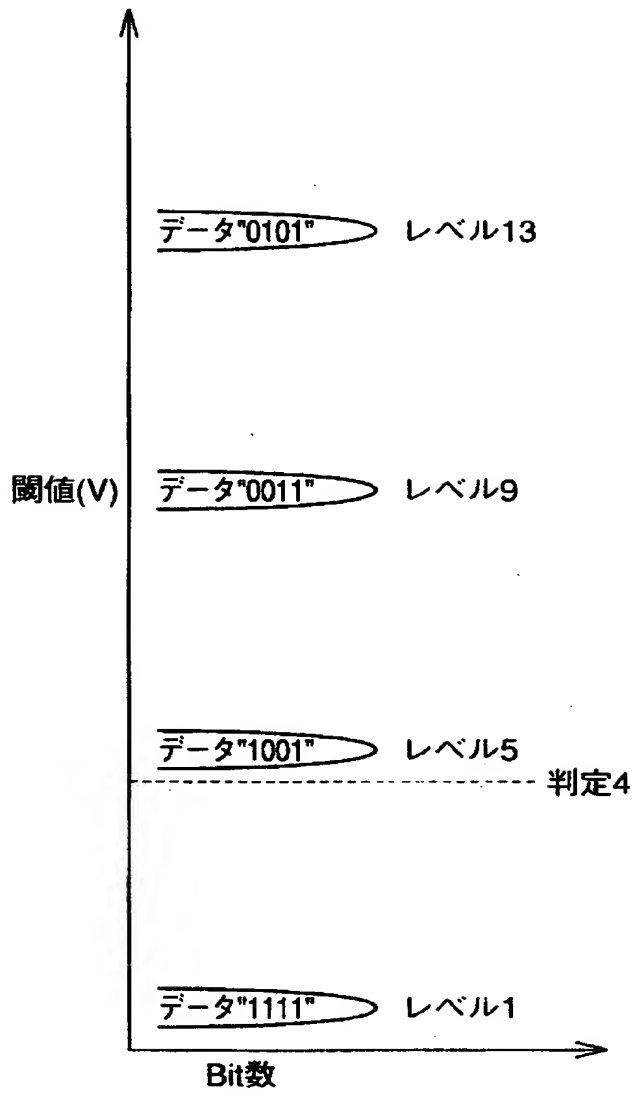
【図 9 3】



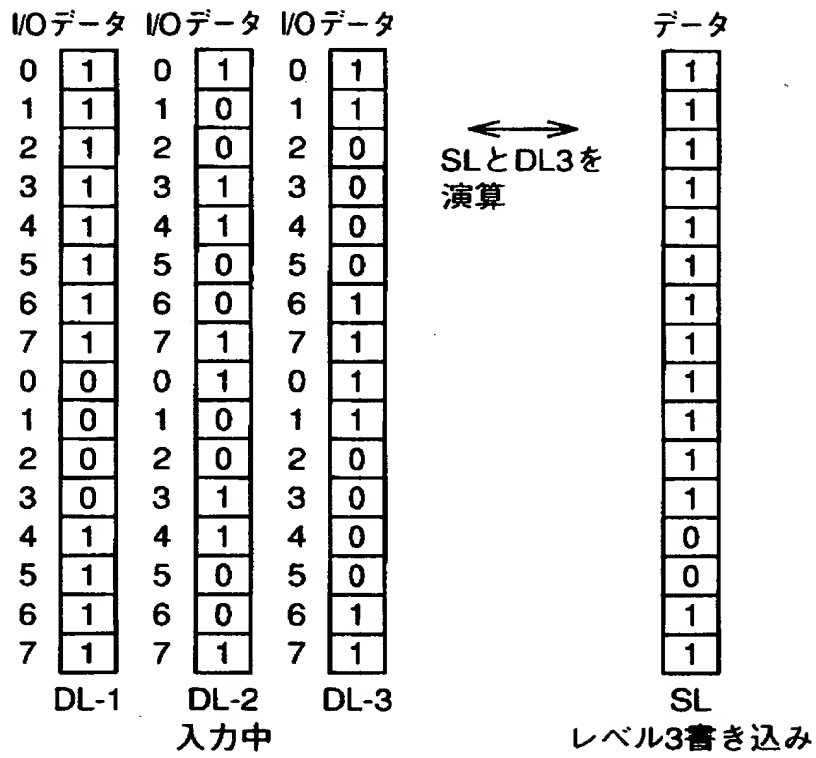
【図 9 4】



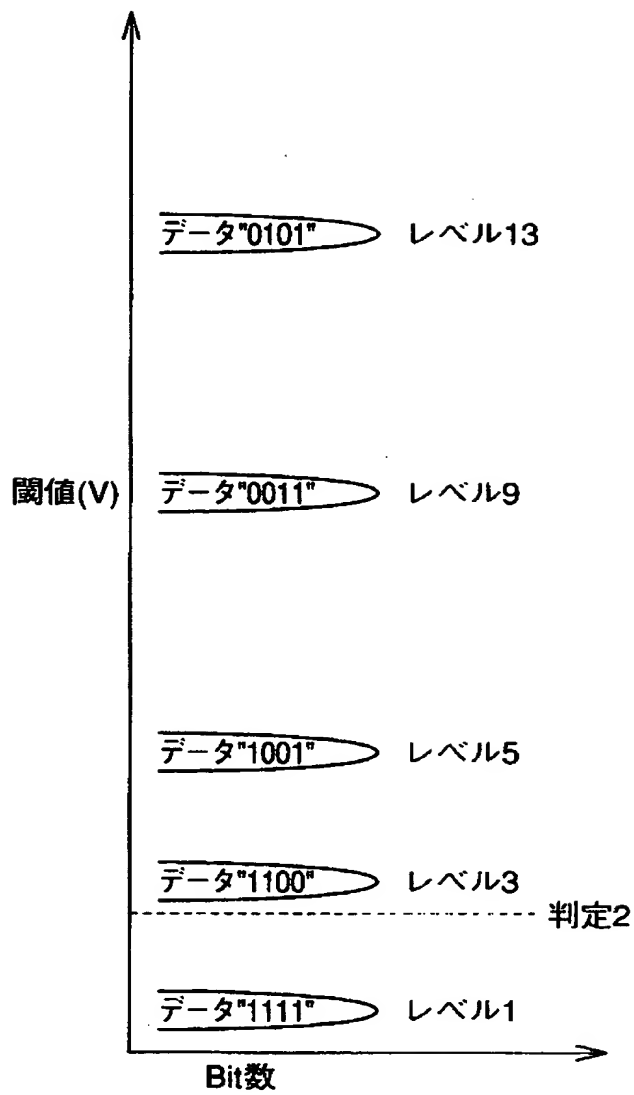
【図 95】



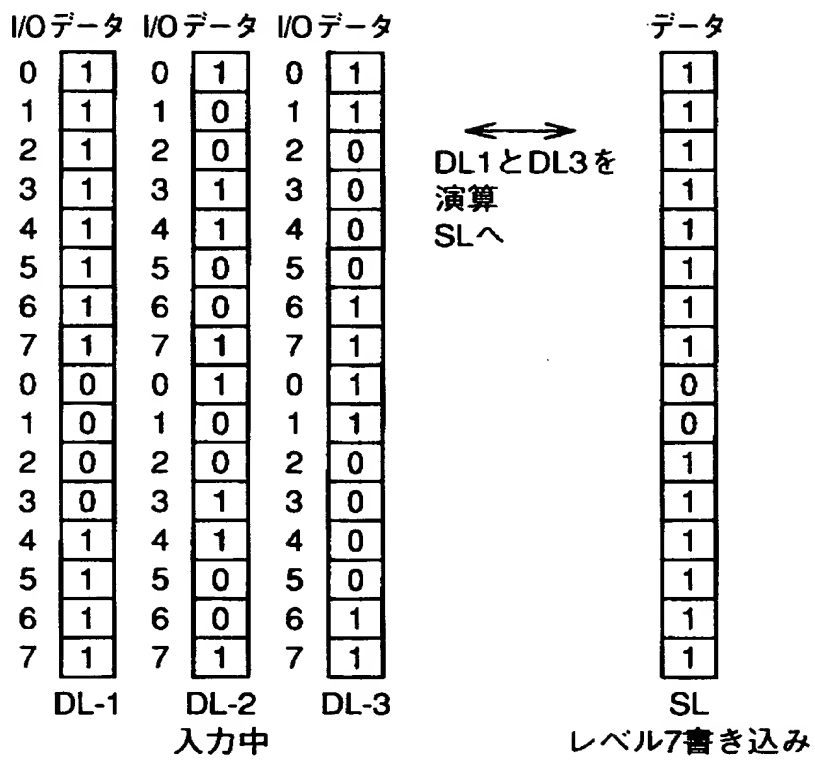
【図 9 6】



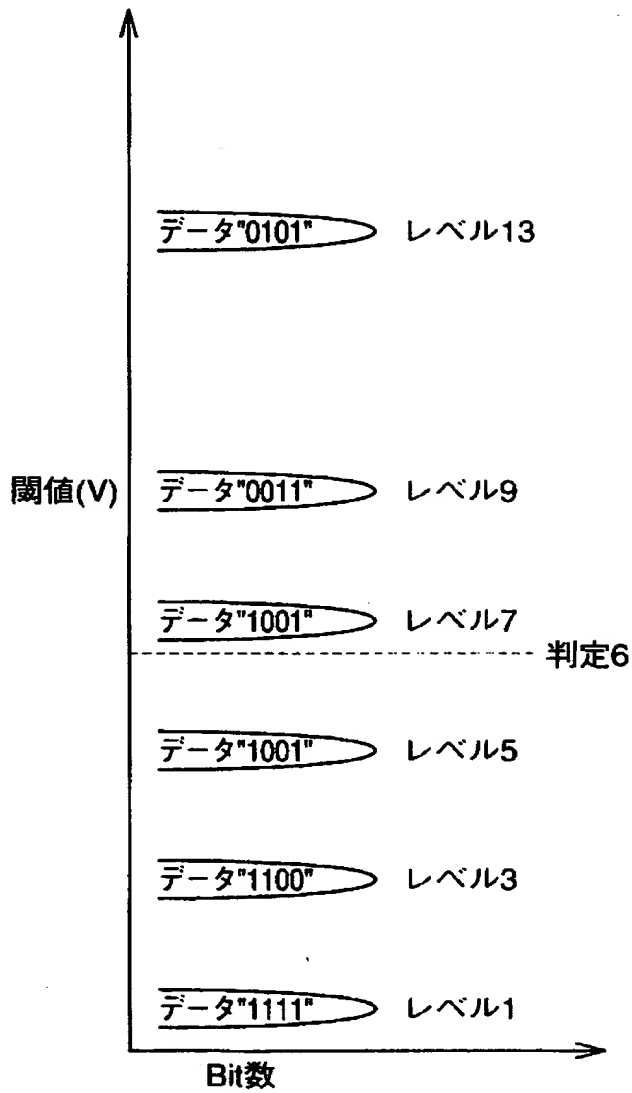
【図 9 7】



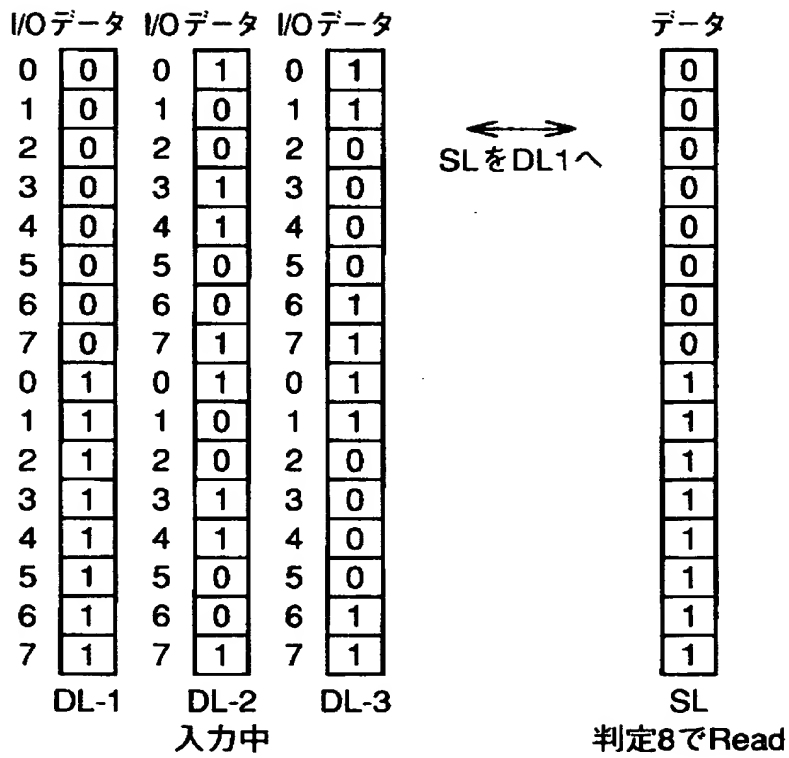
【図 9 8】



【図 9 9】

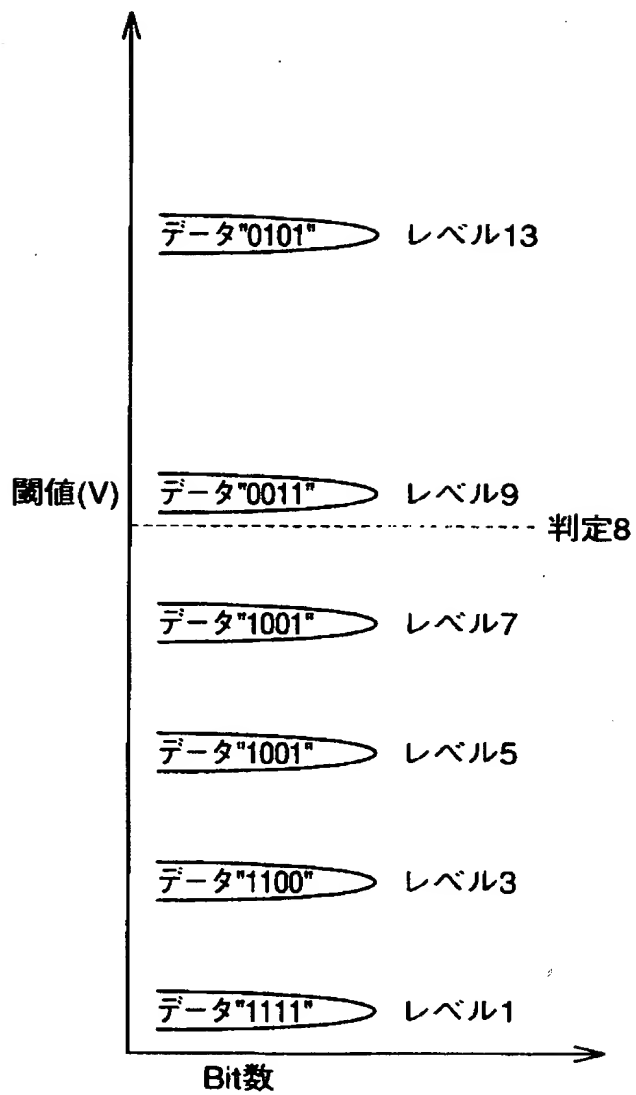


【図 1 0 0】

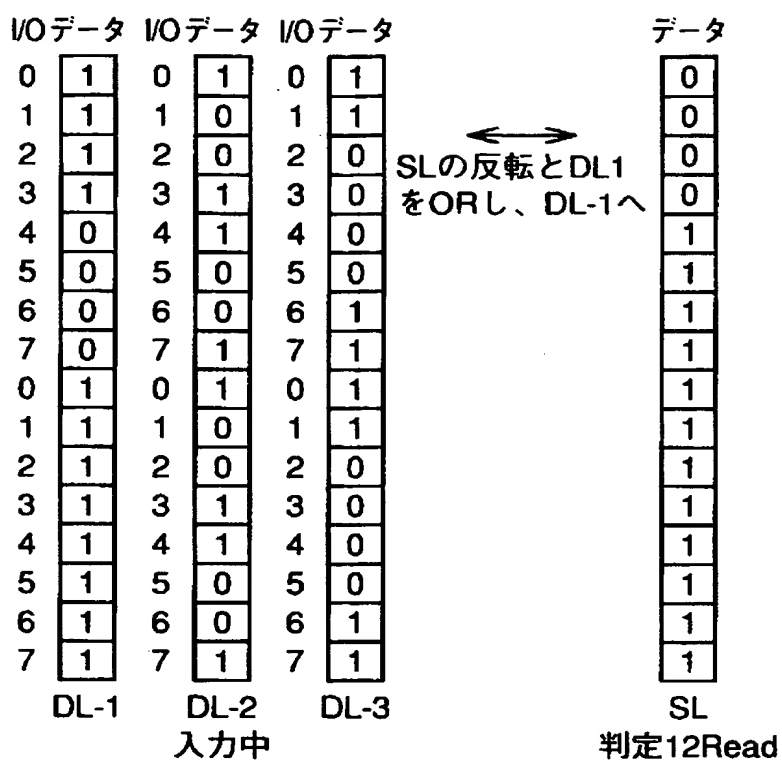




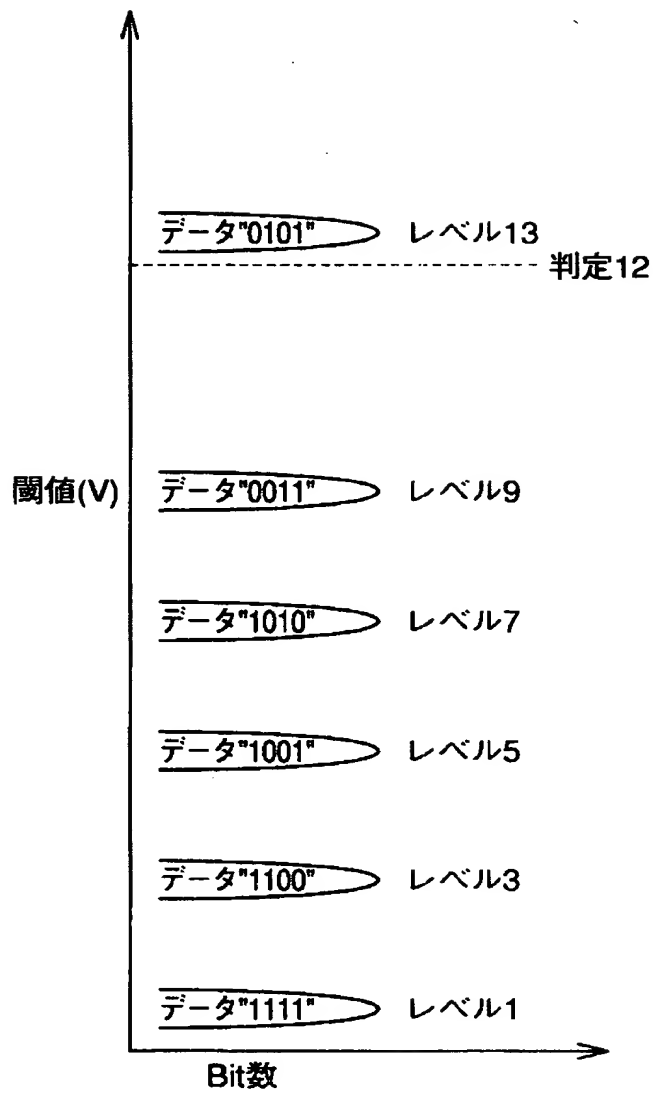
【図 101】



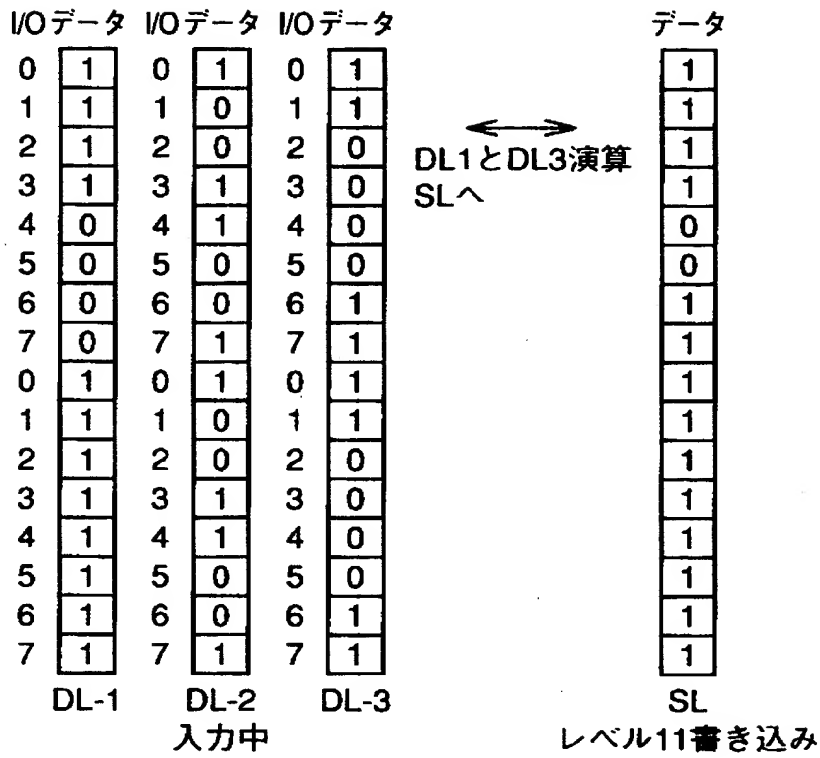
【図 1 0 2】



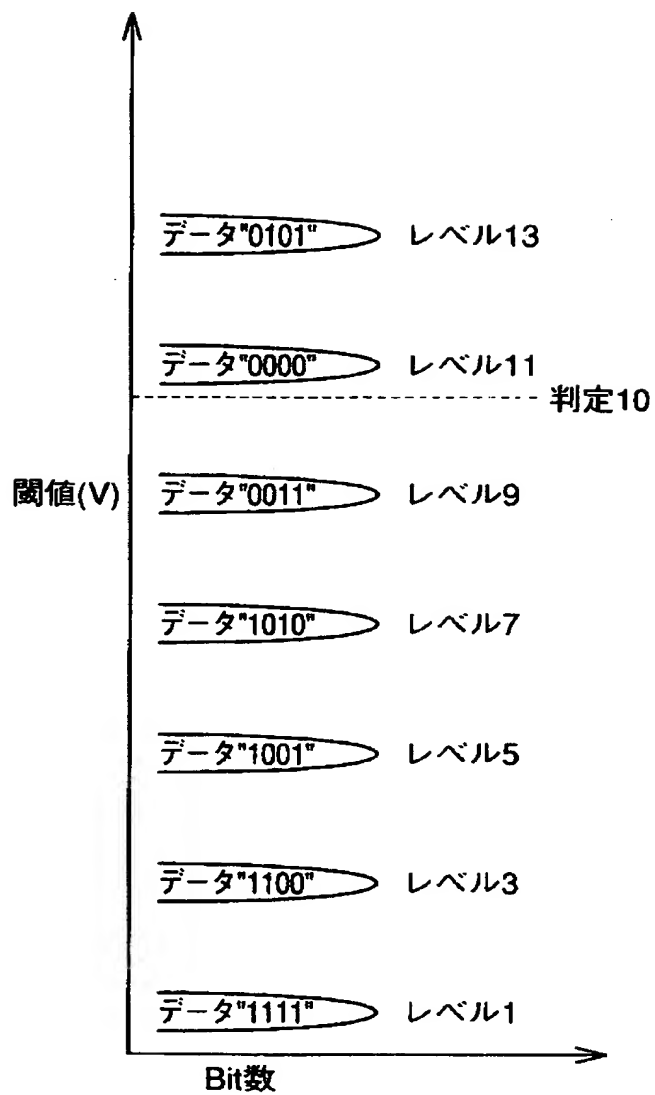
【図 103】



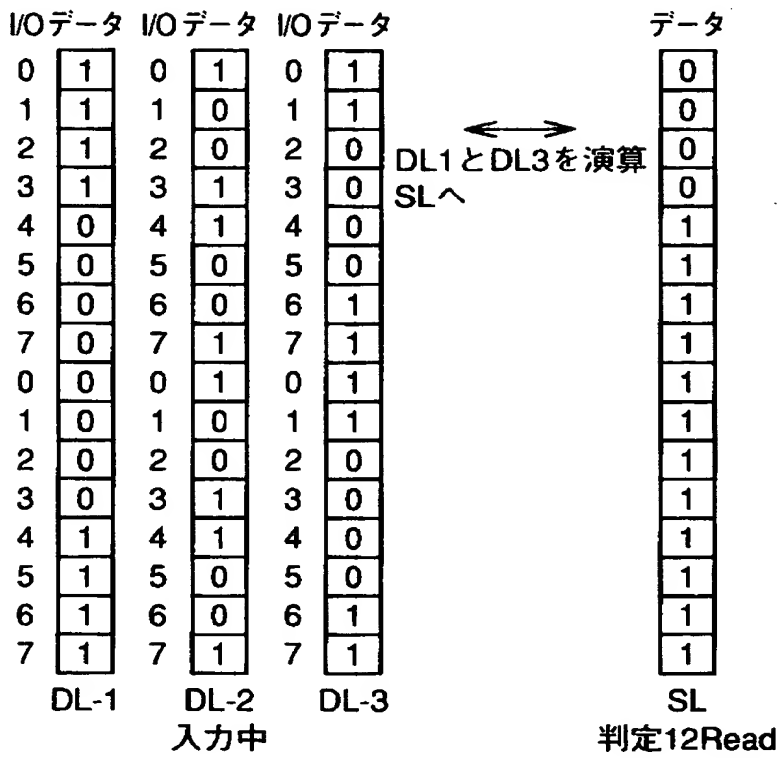
【図 1 0 4】



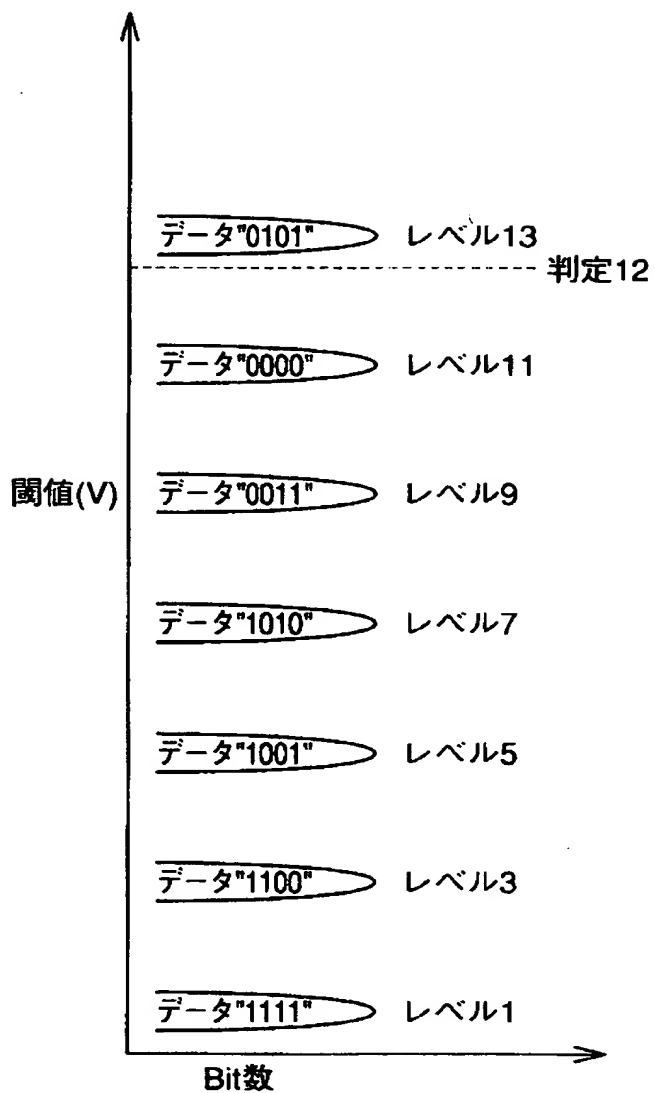
【図 105】



【図 1 0 6】



【図 1 0 7】

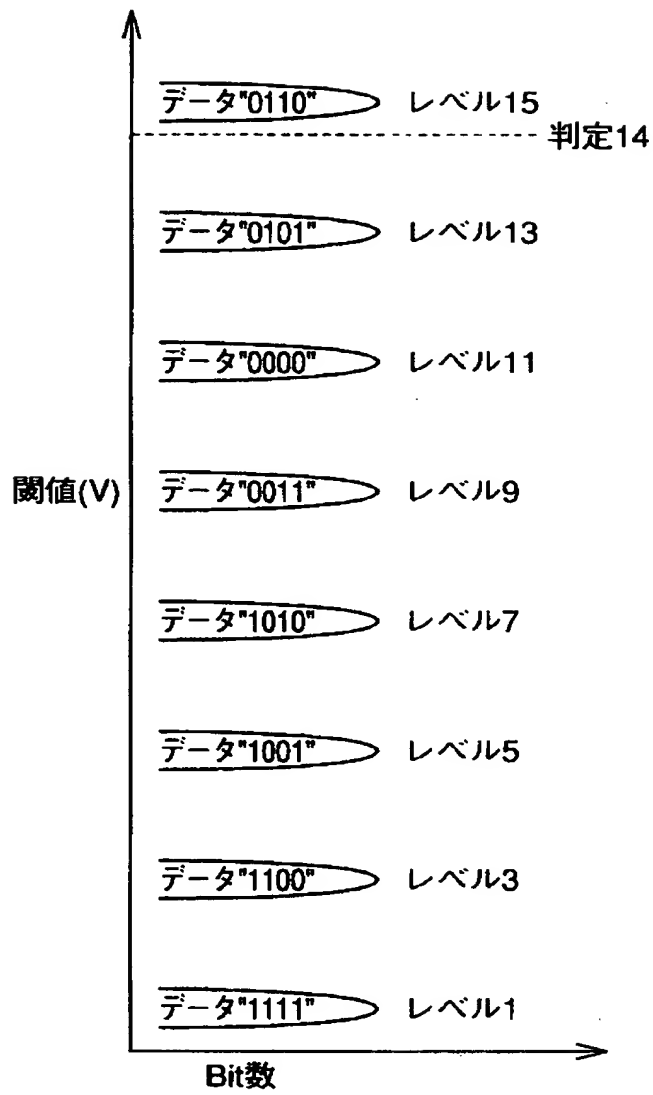


【図 1 0 8】

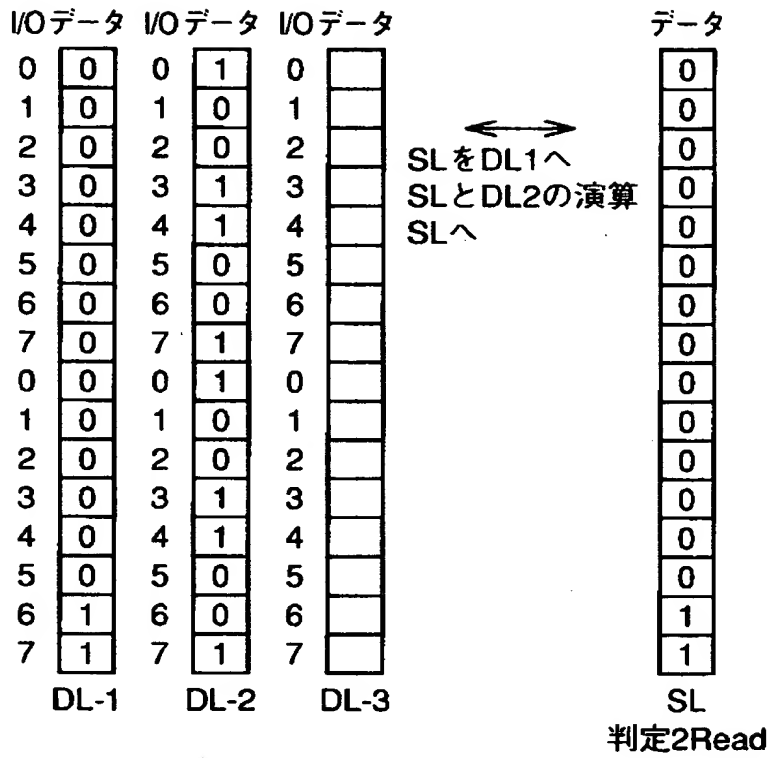
I/O データ			データ	
0		0	1	0
1		1	0	0
2		2	0	1
3		3	1	1
4		4	1	1
5		5	0	1
6		6	0	1
7		7	1	1
0		0	1	1
1		1	0	1
2		2	0	1
3		3	1	1
4		4	1	1
5		5	0	1
6		6	0	1
7		7	1	1
DL-1	DL-2	DL-3	SL	
	入力中		レベル15書き込み	



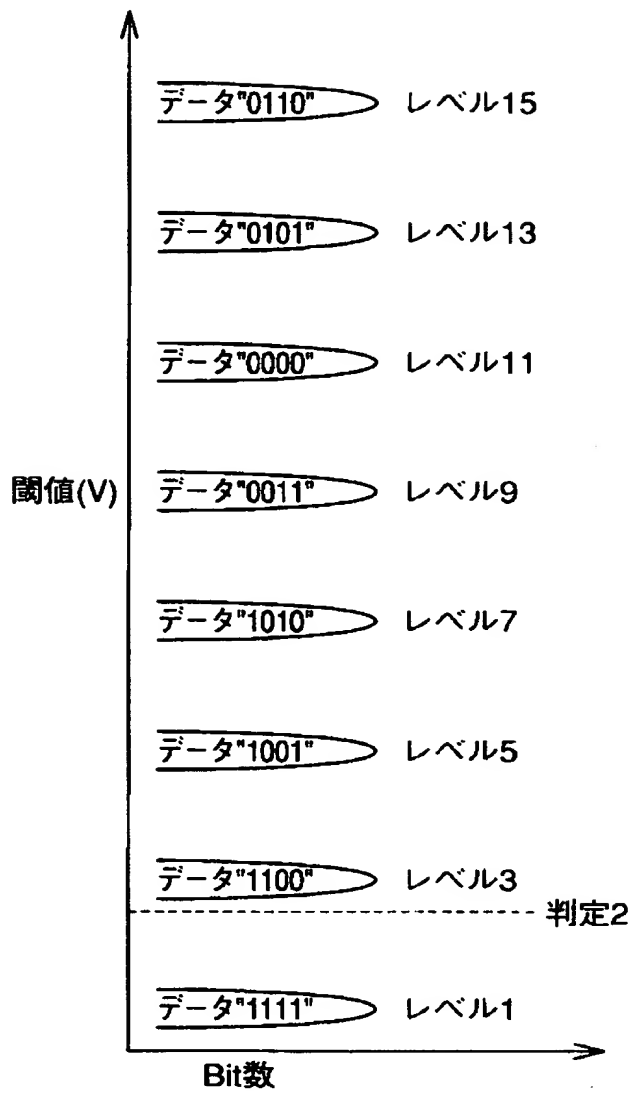
【図 1 0 9】



【図 1 1 0】



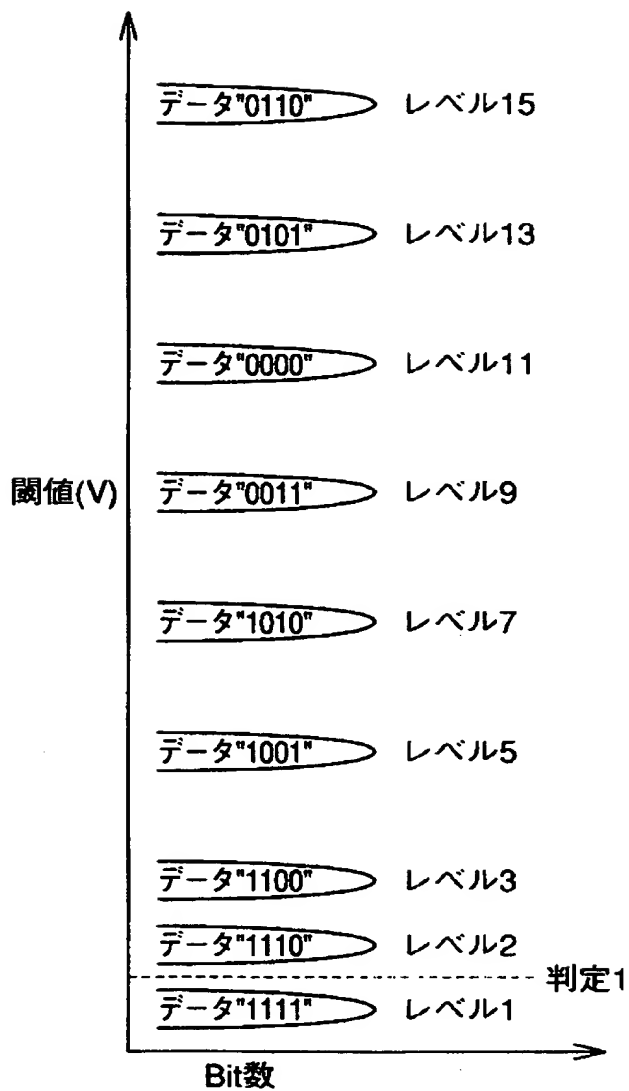
【図 1 1 1】



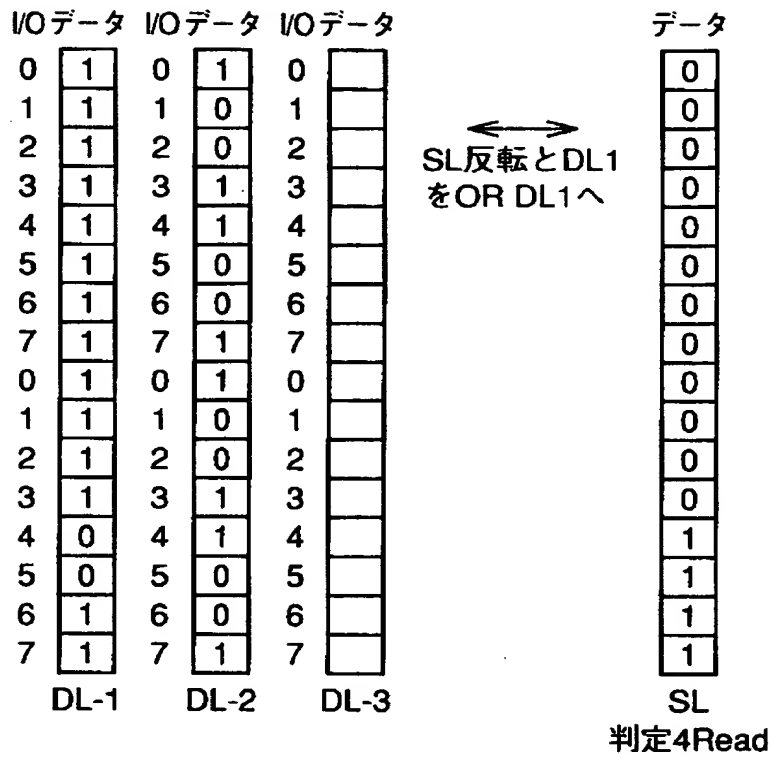
【図 1 1 2】

I/O データ			データ	
0	0	0	1	1
1	0	1	1	1
2	0	2	1	1
3	0	3	1	1
4	0	4	1	1
5	0	5	1	1
6	0	6	1	1
7	0	7	1	1
0	0	0	1	1
1	0	1	1	1
2	0	2	1	1
3	0	3	1	1
4	0	4	1	1
5	0	5	1	1
6	1	6	0	1
7	1	7	1	1
DL-1	DL-2	DL-3	SL	レベル2書き込み

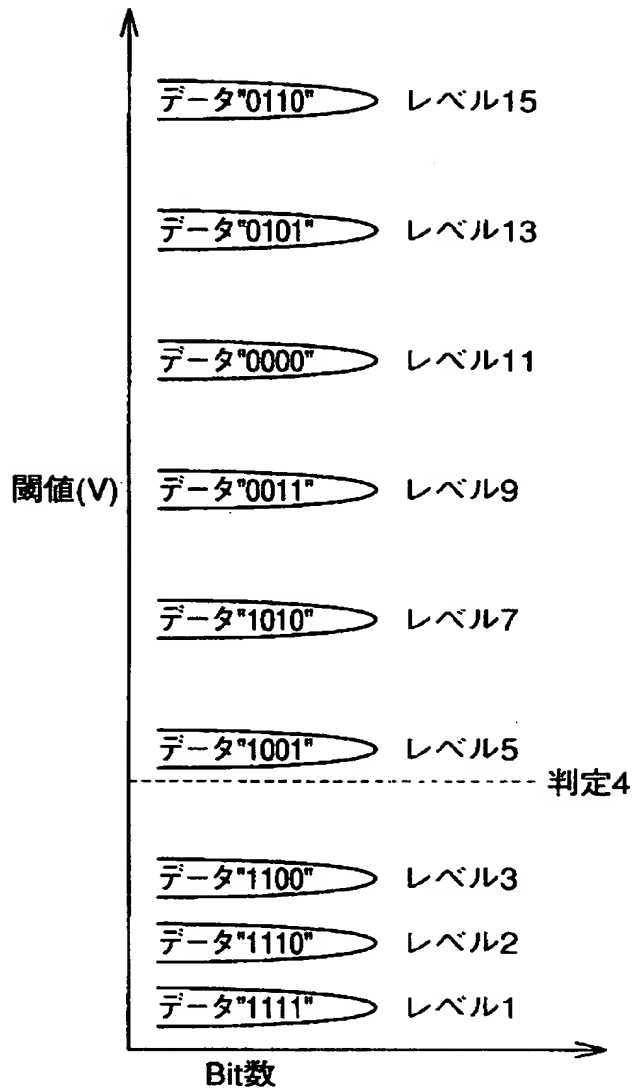
【図 1 1 3】



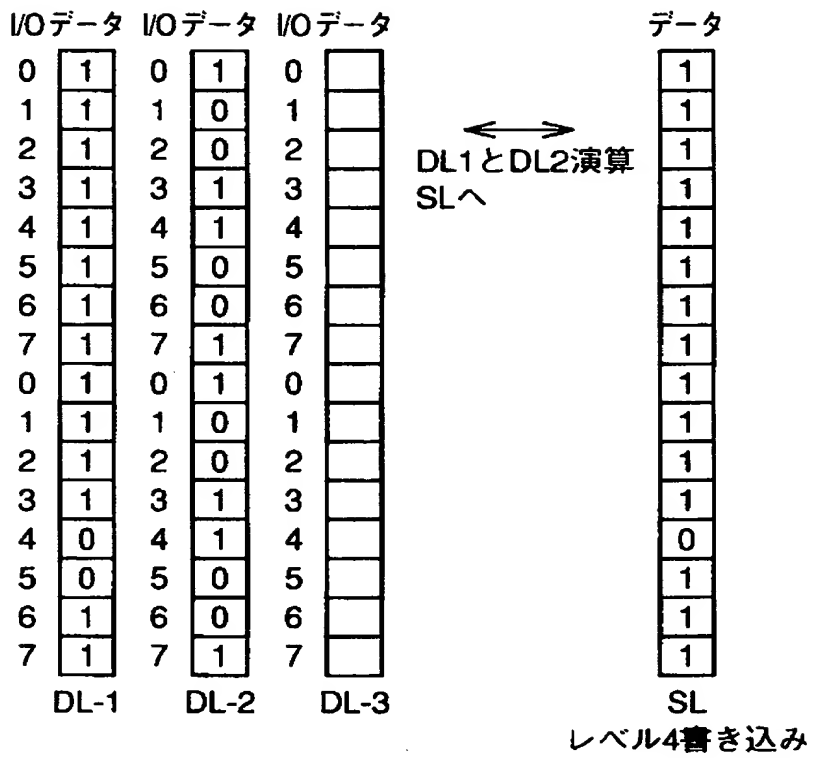
【図 1 1 4】



【図 115】

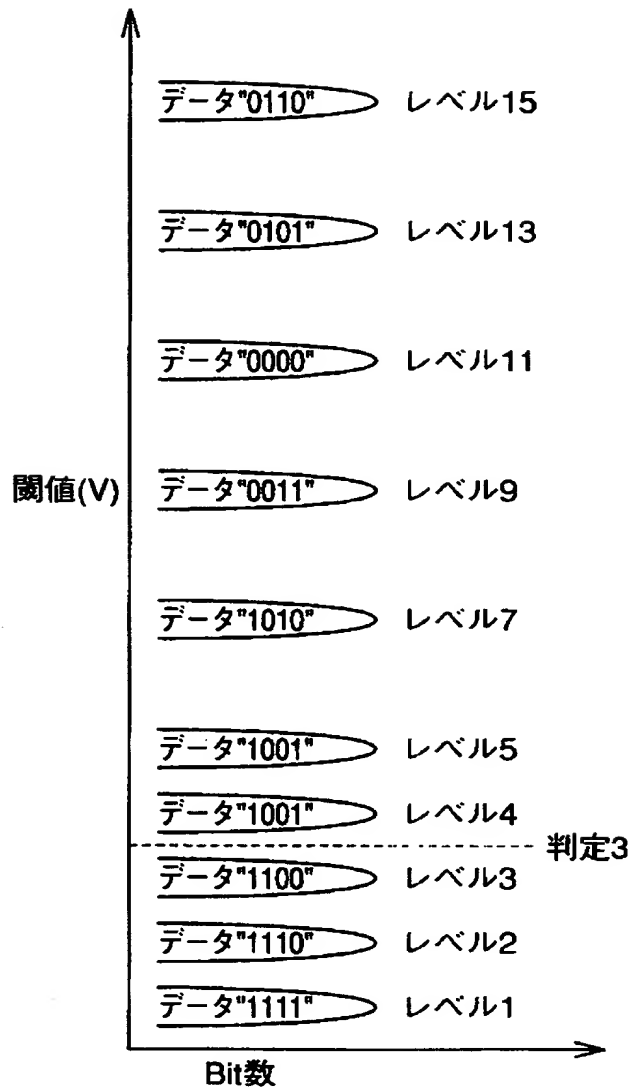


【図 1 1 6】

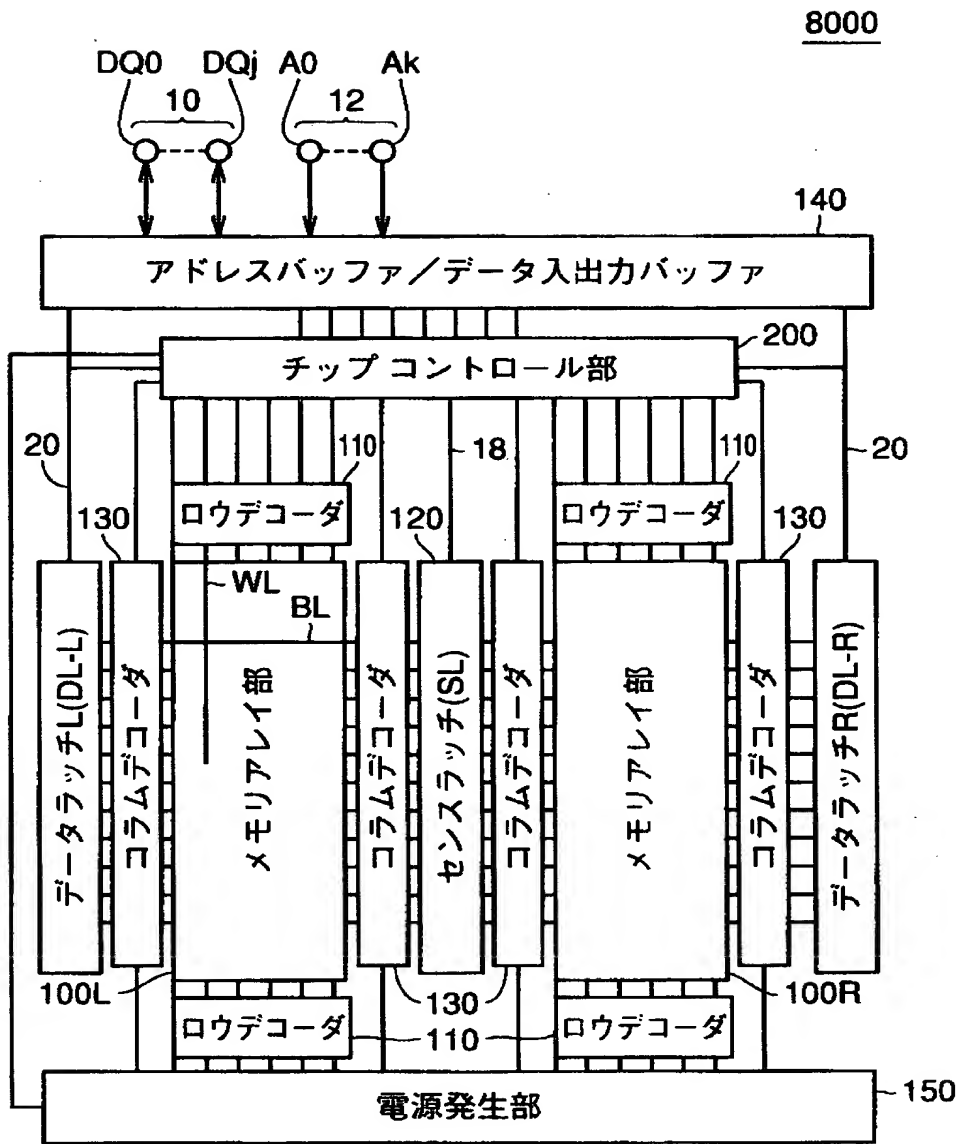




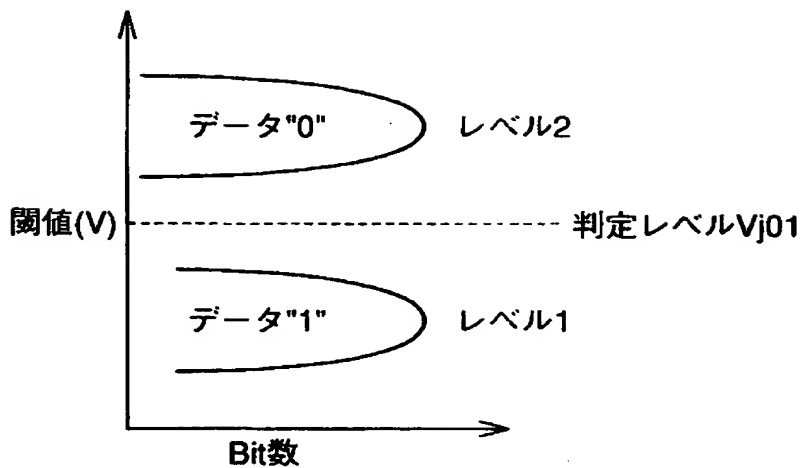
【図 117】



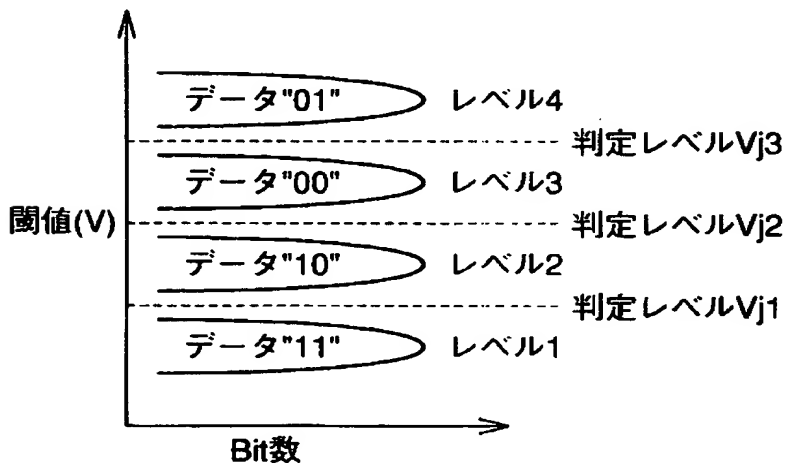
【図 118】



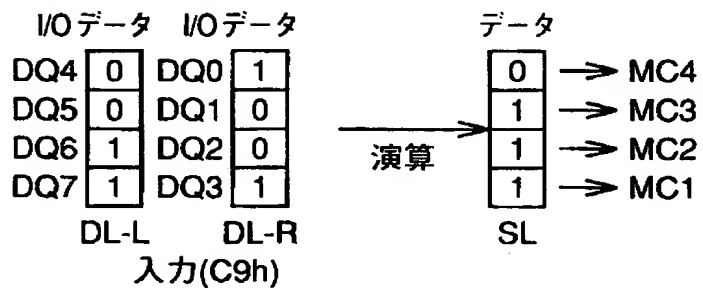
【図 1 1 9】



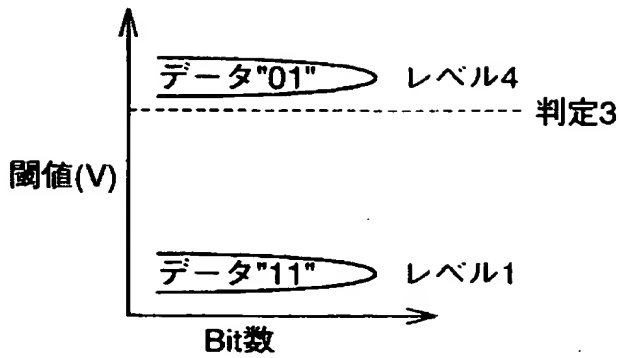
【図 1 2 0】



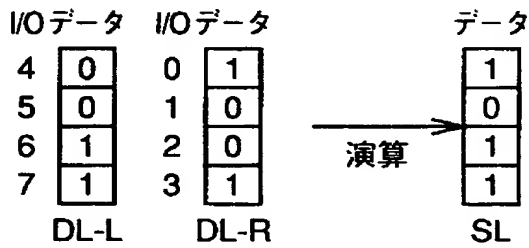
【図 1 2 1】



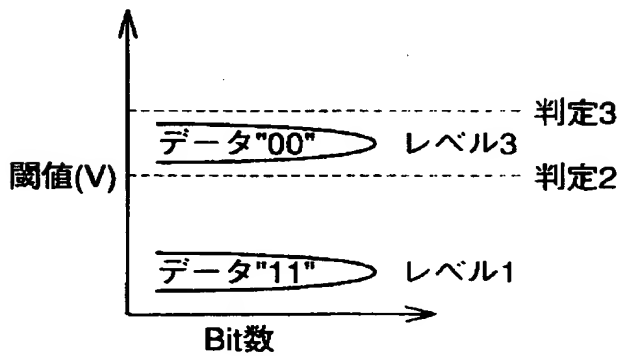
【図 1 2 2】



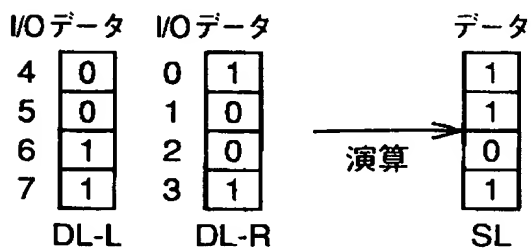
【図 1 2 3】



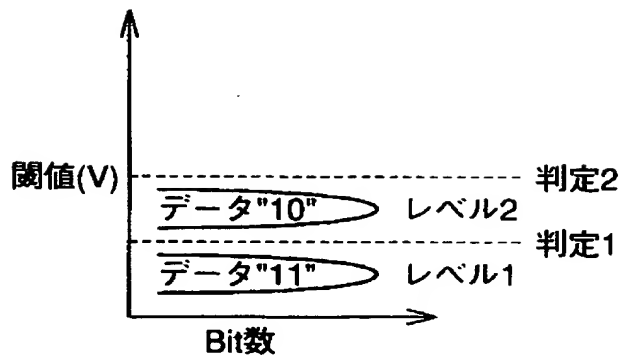
【図 1 2 4】



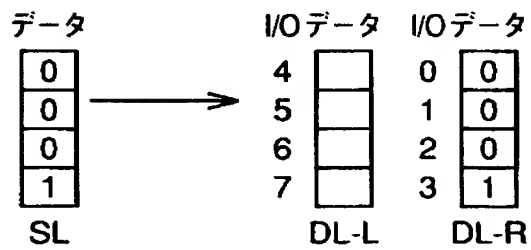
【図 1 2 5】



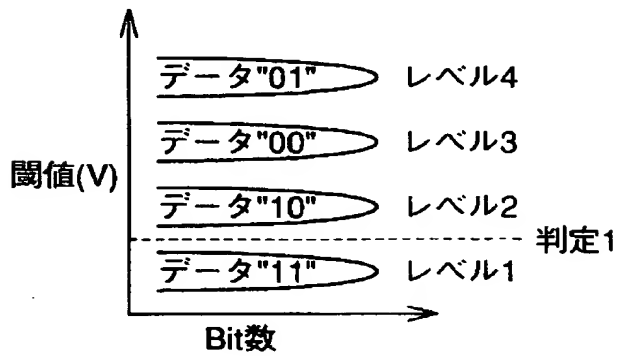
【図 1 2 6】



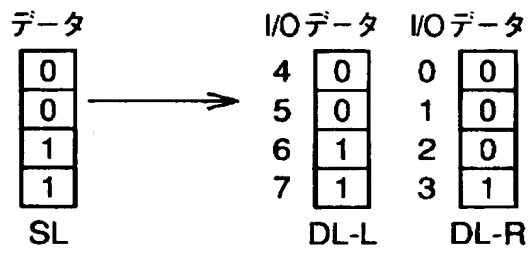
【図 1 2 7】



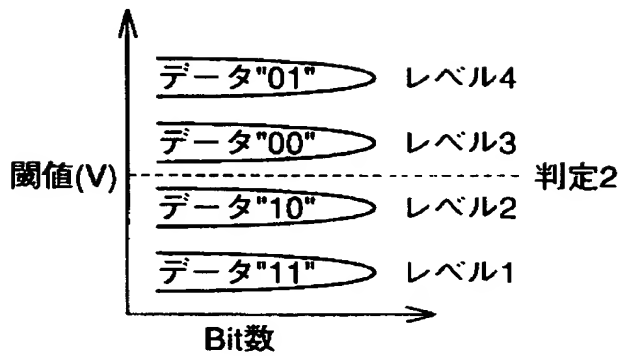
【図 1 2 8】



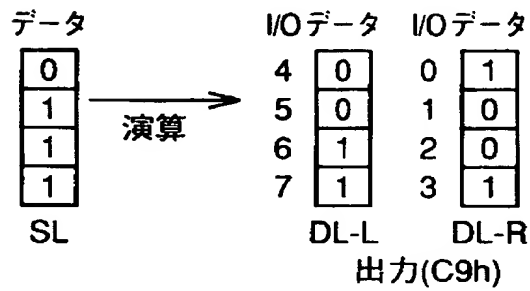
【図 1 2 9】



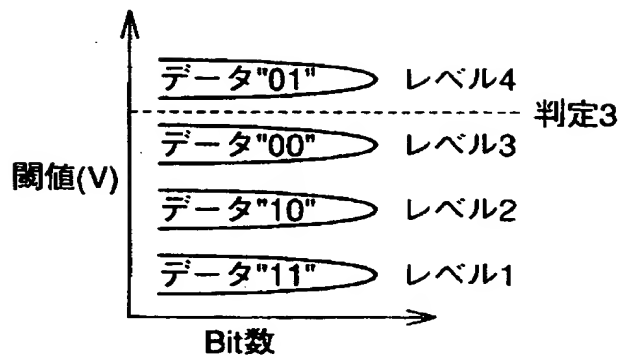
【図 1 3 0】



【図 1 3 1】



【図 1 3 2】



【書類名】 要約書

【要約】

【課題】 データ読出時間およびデータ書込み時間を短縮することが可能な多値不揮発性半導体記憶装置を提供する。

【解決手段】 不揮発性半導体記憶装置 1 0 0 0 は、データ入出力端子 1 0 から  $j$  ビット（たとえば、8 ビット）ごとにデータの授受を行なう。メモリセルアレイ 1 0 0 中のメモリセルの各々は、 $2^n$  個のしきい値レベルに対応して  $n$  ビットのデータを保持できる。書込みデータ変換回路 2 3 0 は、異なるタイミングで入力される複数の  $j$  ビットのデータの組において、同一のデータ入出力端子から入力されるビットデータから書込みデータを生成する。

【選択図】 図 1



出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社